dscal
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

Εργαστήριο Λογικής Σχεδίασης

4ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

ΤΜΗΜΑ
ΠΛΗΡΟΦΟΡΙΚΗΣ & ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ

4η Εργαστηριακή Άσκηση

Ανάλυση άσκησης

Δημιουργία νέου Ρολογιού
=
100 εκ. χτύποι του CLK της κάρτας

Υπολογισμός επόμενης κατάστασης

Ενημέρωση Τρέχουσας Κατάστασης

Υπολογισμός εξόδου

4η Εργαστηριακή Άσκηση

ΠΡΟΧΩΡΗΣΤΕ ΣΤΗΝ ΑΣΚΗΣΗ

4η Εργαστηριακή Άσκηση

Αρχιτεκτονική (1/3) – Νέο Ρολόι (Περίοδος = 1 sec)

Αρχιτεκτονική →

```
One_sec_clk : process (clk, reset) is
variable clk_ticks : integer;

begin
        if reset = '1' then
          clk_100MHz<='0';
          clk_ticks :=0;
        elsif rising_edge(clk) then
                if clk_ticks = 99999999 then
                        clk_ticks := 0;
                        clk_100MHz<= '1';
                else
                        clk_ticks := clk_ticks + 1;
                        clk_100MHz <= '0';
                end if; -- clk_ticks
        end if; --reset
end process One_sec_clk;
```

4η Εργαστηριακή Άσκηση

Αρχιτεκτονική (2/3) – Tick Counter

Αρχιτεκτονική →

```
count: process (clk_100MHz, reset) is
begin
if (reset='1') then
   counts<=(others=>'0');
elsif rising_edge(clk_100MHz) then
   if direction='1' then
      if counts<9 then
        counts<=counts+1;
      else
         counts<=(others=>'0’); -- -- count<="0000";
      end if; -- counts<9
   else
      if counts>0 then
         counts<=counts-1;
      else
         counts<="1001";
      end if; -- counts>0
   end if; --direction
end if; --reset
end process count;
```

4η Εργαστηριακή Άσκηση

Αρχιτεκτονική (3/3) – Output signals

Αρχιτεκτονική →

```
led_result<=std_logic_vector(counts);

counts_digit_values: process (counts) begin
case counts is
   when X"0" => seven_segment   <="0111111";    -- 0
   when X"1" => seven_segment   <="0000110";    -- 1
   when X"2" => seven_segment   <="1011011";    -- 2
   when X"3" => seven_segment   <="1001111";    -- 3
   when X"4" => seven_segment   <="1100110";    -- 4
   when X"5" => seven_segment   <="1101101";    -- 5
   when X"6" => seven_segment   <="1111101";    -- 6
   when X"7" => seven_segment   <="0000111";    -- 7
   when X"8" => seven_segment   <="1111111";    -- 8
   when X"9" => seven_segment   <="1101111";    -- 9
   when others => seven_segment <="0000000";
end case;
end process counts_digit_values;

digit_selection_out<=digit_selection_in;
```

4η Εργαστηριακή Άσκηση

Constraints (1/2) – CLK + Switches + Leds

Constraints →

```
# CLK - Zedboard 100MHz oscillator
set_property -dict { PACKAGE_PIN Y9 IOSTANDARD LVCMOS33 } [get_ports {clk}]

##############################
# On-board Slide Switches  #
##############################
set_property -dict { PACKAGE_PIN M15   IOSTANDARD LVCMOS33 } [get_ports { digit_selection_in }];
set_property -dict { PACKAGE_PIN H17   IOSTANDARD LVCMOS33 } [get_ports { reset }];
set_property -dict { PACKAGE_PIN F22   IOSTANDARD LVCMOS33 } [get_ports { direction }];

##############################
# On-board LEDS  #
##############################

set_property -dict { PACKAGE_PIN T22   IOSTANDARD LVCMOS33 } [get_ports { led_result[0] }];
set_property -dict { PACKAGE_PIN T21   IOSTANDARD LVCMOS33 } [get_ports { led_result[1] }];
set_property -dict { PACKAGE_PIN U22   IOSTANDARD LVCMOS33 } [get_ports { led_result[2] }];
set_property -dict { PACKAGE_PIN U21   IOSTANDARD LVCMOS33 } [get_ports { led_result[3] }];
```

4η Εργαστηριακή Άσκηση

Constraints (1/2) – Pmod

Constraints →

```
##############################
# PmodSSO                    #
##############################

set_property -dict { PACKAGE_PIN Y11   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[0] }];
set_property -dict { PACKAGE_PIN AA11  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[1] }];
set_property -dict { PACKAGE_PIN Y10   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[2] }];
set_property -dict { PACKAGE_PIN AA9   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[3] }];
set_property -dict { PACKAGE_PIN W12   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[4] }];
set_property -dict { PACKAGE_PIN W11   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[5] }];
set_property -dict { PACKAGE_PIN V10   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[6] }];

set_property -dict { PACKAGE_PIN W8   IOSTANDARD LVCMOS33 } [get_ports { digit_selection_out }];

##############################################################
##ZedBoard Timing Constraints
##############################################################
# define clock and period
create_clock -period 10 -name CLK -waveform {0.000 5.000} [get_ports {clk}]
```

4η Εργαστηριακή Άσκηση

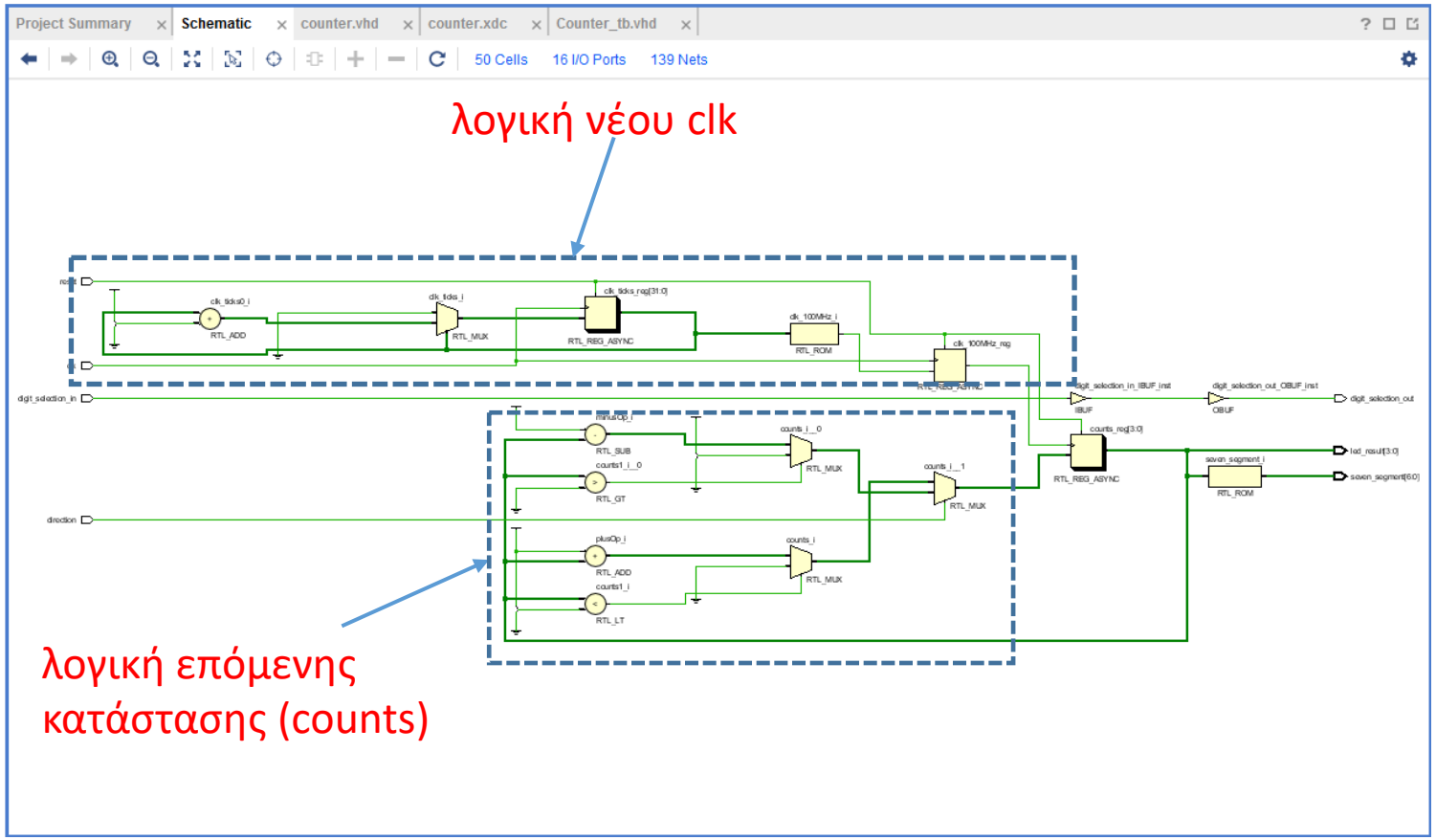
Pmod Manual

Manual Pmod

https://reference.digilentinc.com/reference/pmod/pmodssd/reference-manual

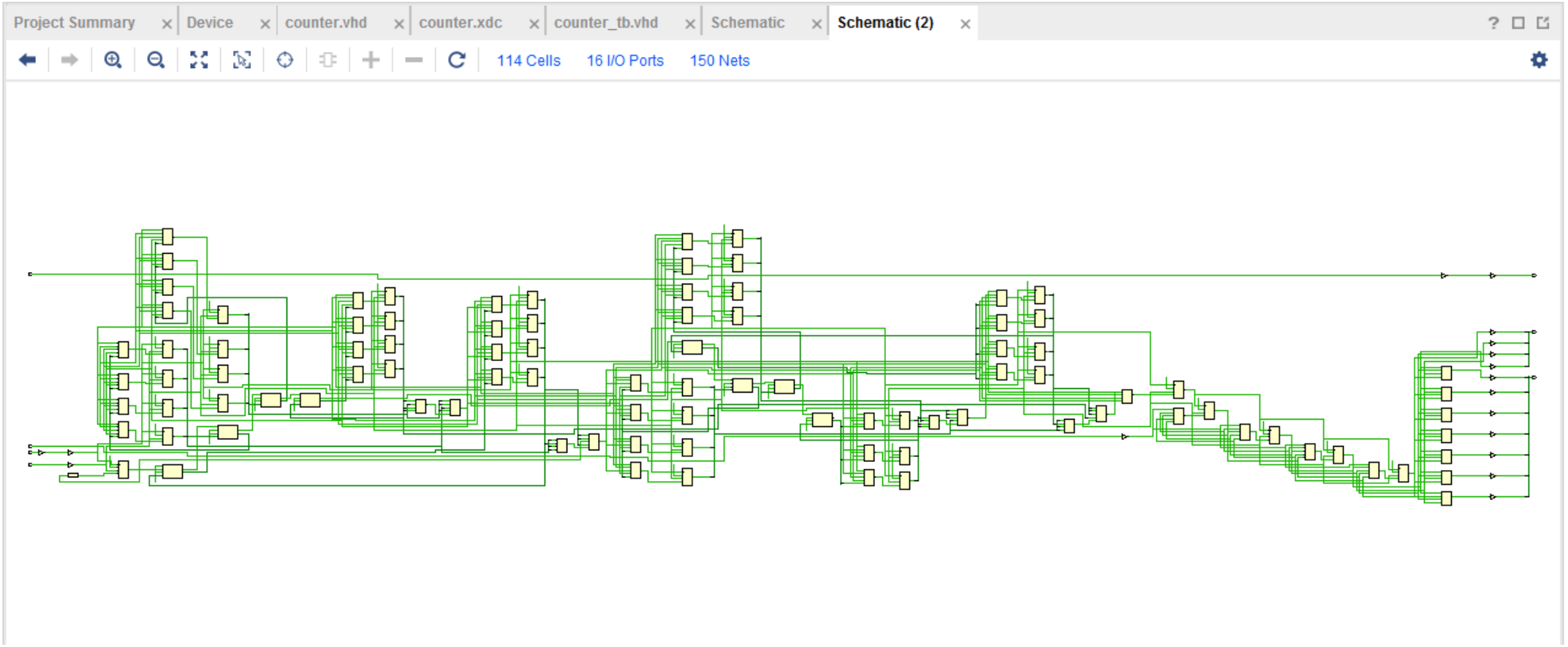
4η Εργαστηριακή Άσκηση

RTL Design



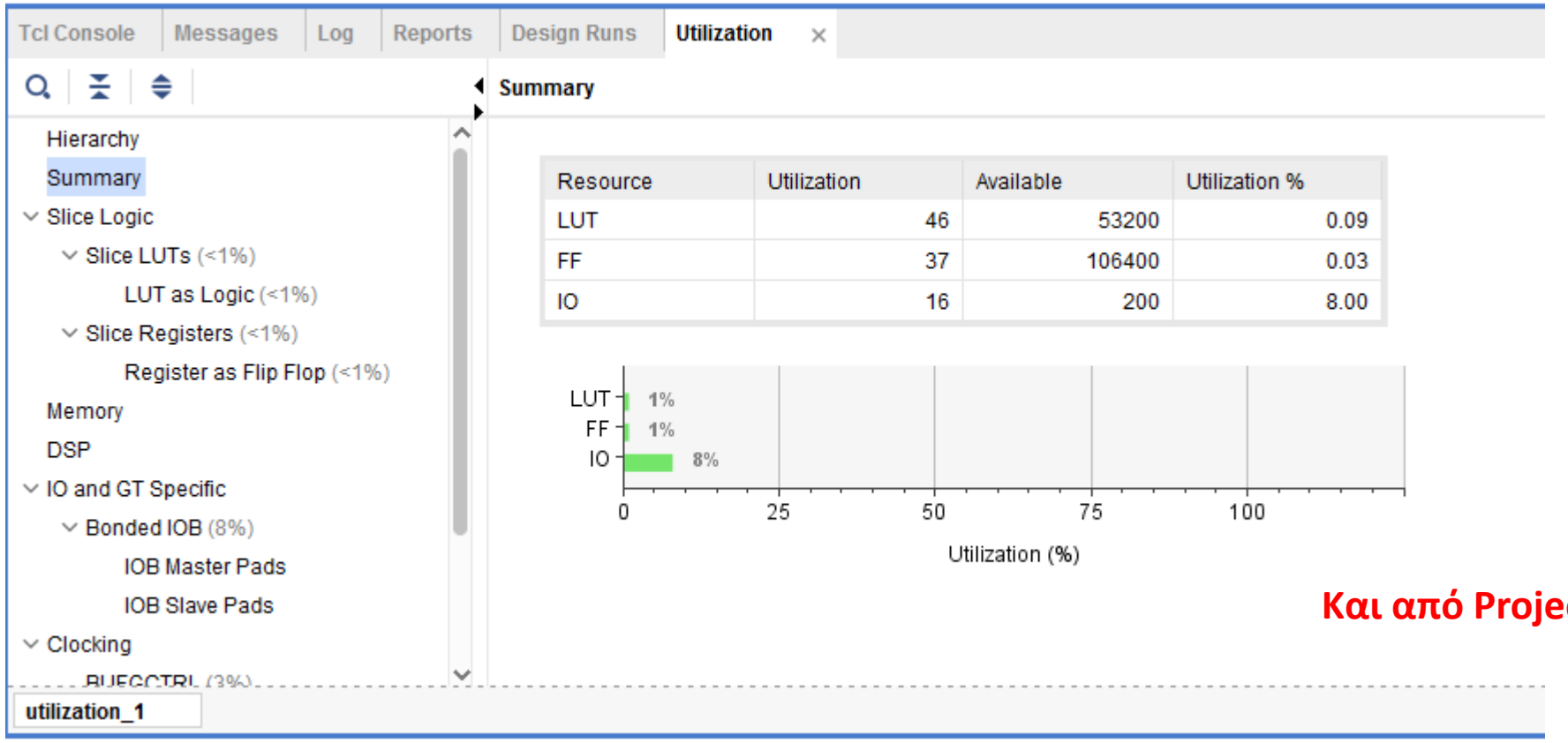
4η Εργαστηριακή Άσκηση

Synthesis/Implementation – Schematic



4η Εργαστηριακή Άσκηση

Implementation – Report Utilization

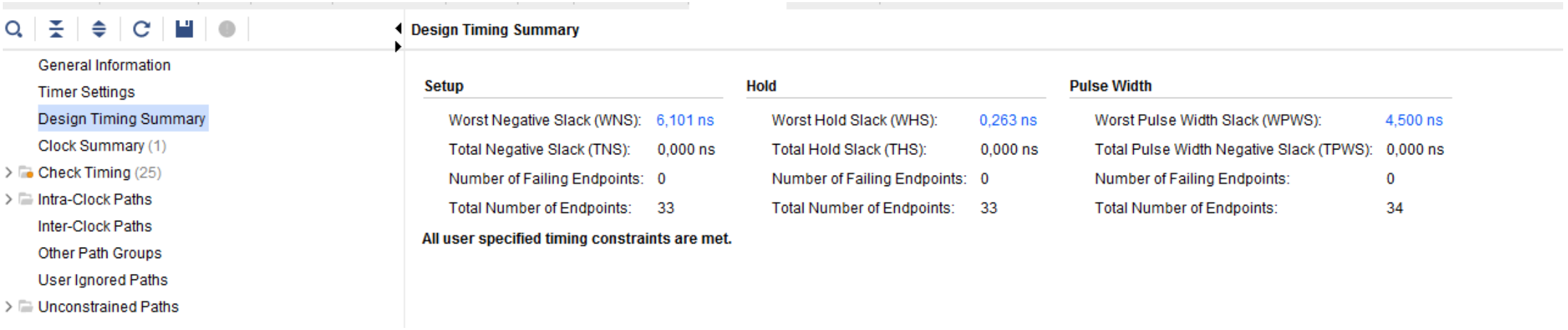


Και από Project Summary

4η Εργαστηριακή Άσκηση

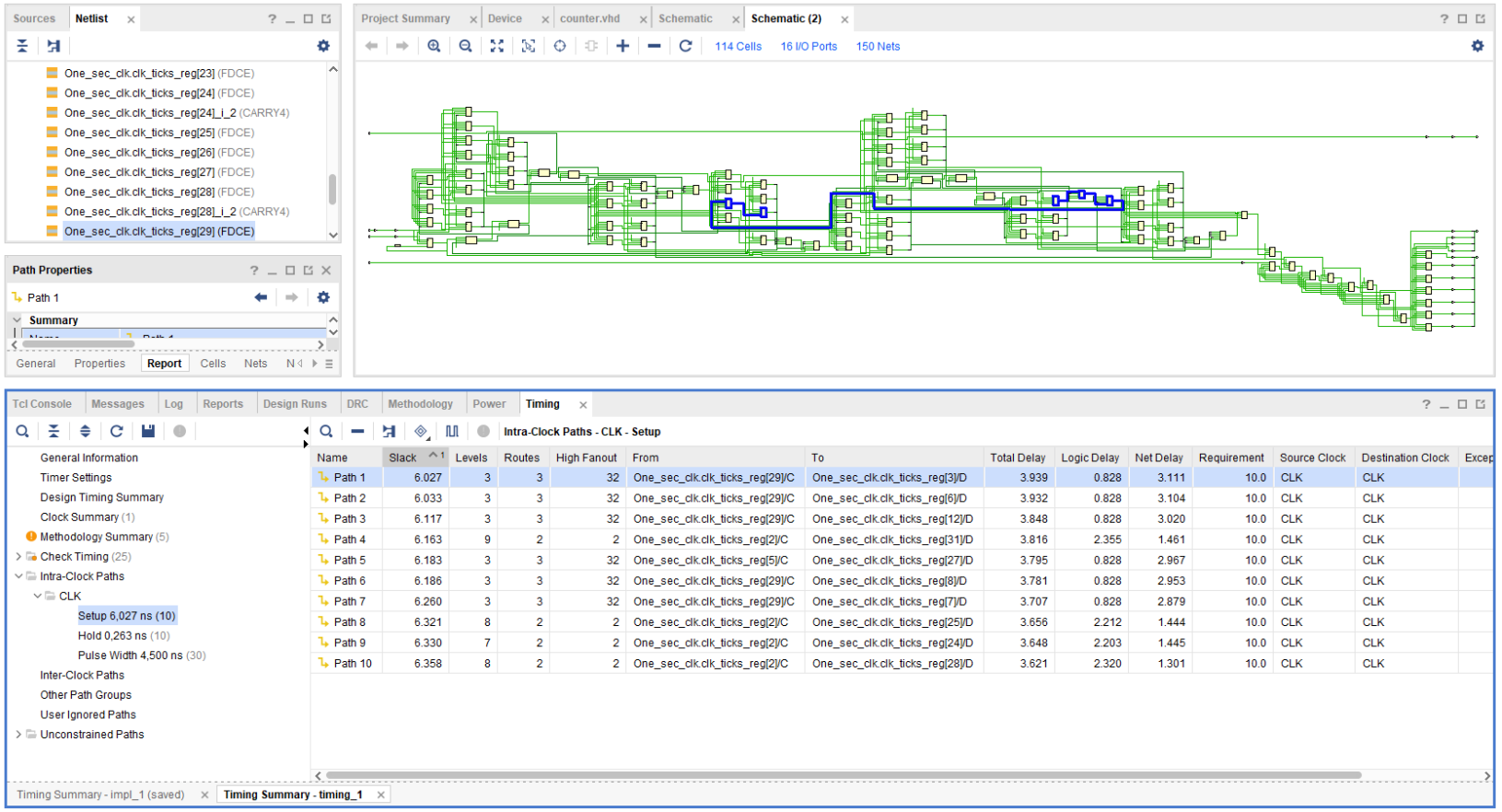
Implementation – Timing Reports (1/4)

Menu Reports->Timing-> Report Timing Summary
ή
Open Implemented Design->Report Timing Summary



4η Εργαστηριακή Άσκηση

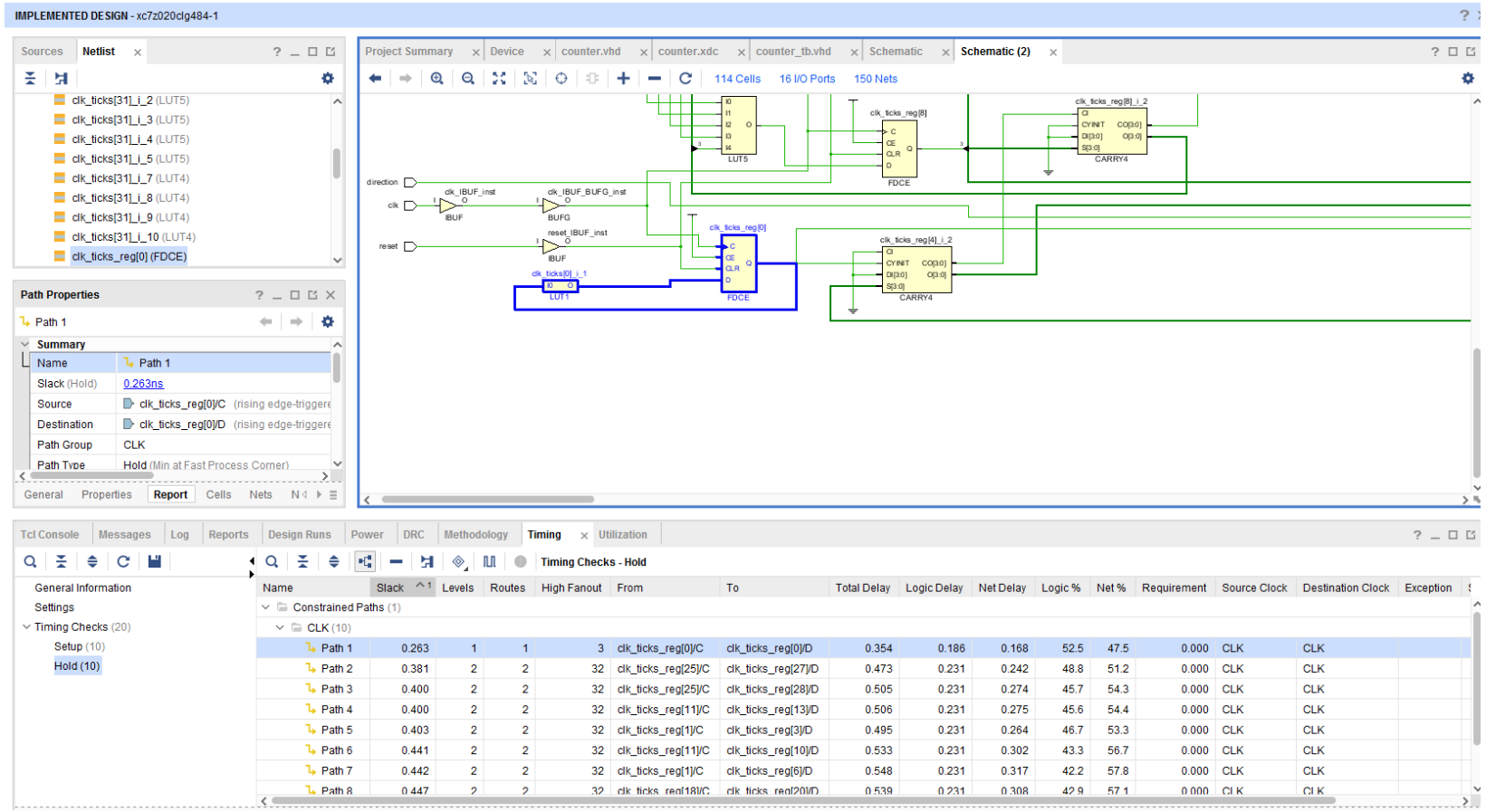
Implementation – Timing Reports (2/4)



Setup Time:
Αναφέρεται στις αργές διαδρομές (καθυστέρηση διάδοσης)

4η Εργαστηριακή Άσκηση

Implementation – Timing Reports (3/4)

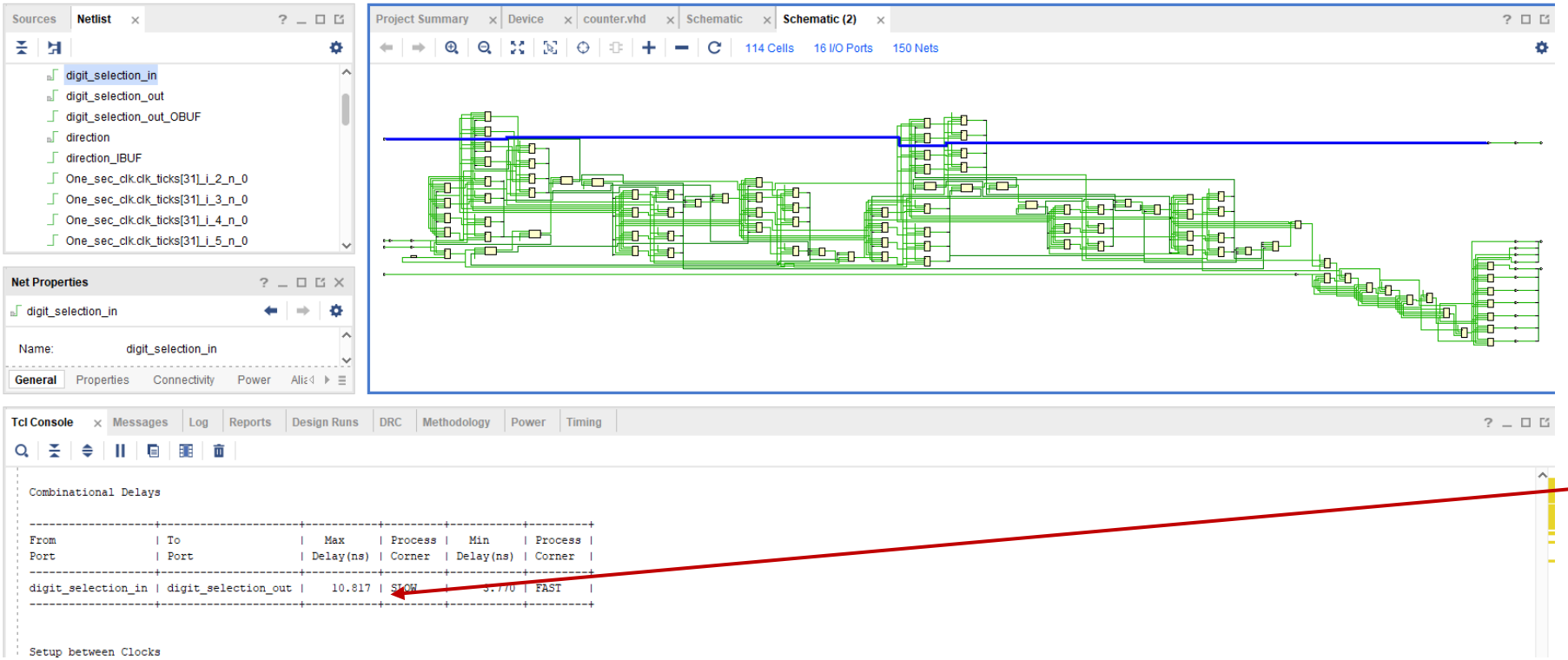


Hold Time:
Αναφέρεται στις γρήγορες διαδρομές (καθυστέρηση μόλυνσης)

4η Εργαστηριακή Άσκηση

Implementation – Timing Reports (4/4)

TCL Console>*report_timing_summary –datasheet*



Προσοχή