



dscal
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

Εργαστήριο Λογικής Σχεδίασης

2ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

VHDL – Παράδειγμα

Άσκηση

Να σχεδιάσετε και να προσομοιώσετε στο Vivado μία αριθμητική και λογική μονάδα (ALU) η οποία θα δέχεται στην είσοδο δύο σήματα μη προσημασμένων αριθμών a και b , των 3 bit το καθένα. Η ALU κάνει μια απλή πρόσθεση ($a+b$). Στην έξοδο υπάρχει το σήμα Result των 3 bit με το αποτέλεσμα της πράξης και ένα σήμα Carry που έχει τιμή '1' σε περίπτωση που υπάρχει κρατούμενο/υπερχείλιση.

Το όνομα του project θα είναι Lab2, το όνομα του αρχείου (design source) αλλά και η οντότητα σας θα λέγεται alu, ενώ η αρχιτεκτονική Dataflow. Τα αντίστοιχα ονόματα για την προσομοίωση θα είναι alu_tb, και Dataflow_tb

Δημιουργήστε την οντότητα, γράψτε την αρχιτεκτονική, εμφανίστε τα RTL και Synthesis διαγράμματα, και τέλος προγραμματίστε την κάρτα.

VHDL – Παράδειγμα

Άσκηση – Συσχέτιση port με FPGA

Είσοδοι	DIP Switch
b[2]	SW5
b[1]	SW4
b[0]	SW3
a[2]	SW2
a[1]	SW1
a[0]	SW0

Έξοδοι	LED
Carry	LD7
Result[2]	LD2
Result[1]	LD1
Result[0]	LD0