

ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ ΤΜΗΜΑ
ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ



ΕΡΓΑΣΤΗΡΙΟ

ΣΧΕΔΙΑΣΗΣ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ - VHDL

12^ο Εργαστηριακό Μάθημα

4^ο Εργαστήριο

Βασιλόπουλος Διονύσης

ΧΕΙΜΕΡΙΝΟ ΕΞΑΜΗΝΟ 2023-2024

Άσκηση: Μετρητής

Ακολουθιακά κυκλώματα

Μετρητής και απεικόνιση σε LED της αναπτυξιακής κάρτας

Στην άσκηση αυτή, θα υλοποιήσετε έναν μετρητή των 4-bit που υποστηρίζει:

- μέτρηση είτε προς τα πάνω (είσοδος *direction* =1) είτε προς τα κάτω (είσοδος *direction* =0), ανά δευτερόλεπτο
- δυνατότητα φόρτωσης (είσοδος *load*=1) με τα δεδομένα φόρτωσης σε είσοδο *load_data*
- ασύγχρονο μηδενισμό (είσοδος *reset*=1)

Ο μετρητής χρησιμοποιεί το ρολόι των 100MHz της κάρτας (ακροδέκτης Y9).

Οι είσοδοι του μετρητή συνδέονται στα DIP switches και στα push-buttons της κάρτας ZedBoard σύμφωνα με τον παρακάτω πίνακα.

Είσοδοι	Περιγραφή	DIP Switch
reset	Ασύγχρονο reset	BTNC
direction	1: Μέτρηση προς τα πάνω 0: Μέτρηση προς τα κάτω	SW7
load	Ενεργοποίηση φόρτωσης	SW6
load_data[3]	Δεδομένα φόρτωσης	SW3
load_data[2]		SW2
load_data[1]		SW1
load_data[0]		SW0
led_result [3]		LD3
led_result [2]		LD2
led_result [1]		LD1
led_result [0]		LD0

Πίνακας 2. Είσοδοι του μετρητή

Η έξοδος του μετρητή θα απεικονιστεί σε 4 LED της αναπτυξιακής κάρτας.

ΟΥΣΙΑΣΤΙΚΑ ΠΡΕΠΕΙ ΝΑ ΤΡΟΠΟΠΟΙΗΣΕΤΕ ΤΟ ΠΡΟΓΡΑΜΜΑ ΤΟΥ LAB 3

Στο e-class σας δίνεται ένα template πηγαίου κώδικα (counter.vhd) με την περιγραφή του entity του μετρητή.

ΜΕΡΟΣ Α

- Συμπληρώστε το architecture του entity

ΜΕΡΟΣ Β

- Γράψτε το κατάλληλο αρχείο .xdc με τα pin constraints.

Για τον ορισμό της συχνότητας ρολογιού δώστε το παρακάτω constraint
set_property -dict {PACKAGE_PIN Y9 IOSTANDARD LVCMOS33 } [get_ports { clk }];

- Ελέγξτε τη λειτουργία του μετρητή σας μέσω του συστήματος που ενσωματώνει τον μετρητή σας στο υλικό προγραμματίζοντας το FPGA

- Συμπληρώστε τα παρακάτω στοιχεία κοιτάζοντας το report μετά το implementation:

FF: _____
LUT: _____
I/O: _____
BUFG: _____

- Προσδιορίστε την ελάχιστη περίοδο (minimum period) σε ns και το πιο κρίσιμο μονοπάτι (max delay path) εκτελώντας την εντολή *report_timing_summary – datasheet*

Min Period (ns): _____

Max Delay Path

Slack (ns): _____

Source: _____

Destination: _____

Logic Levels: _____