



**dscal**  
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

# Εργαστήριο Σχεδίασης Ψηφιακών Συστημάτων

**Γνωριμία με τη VHDL και το VIVADO**

**Βασιλόπουλος Διονύσης**

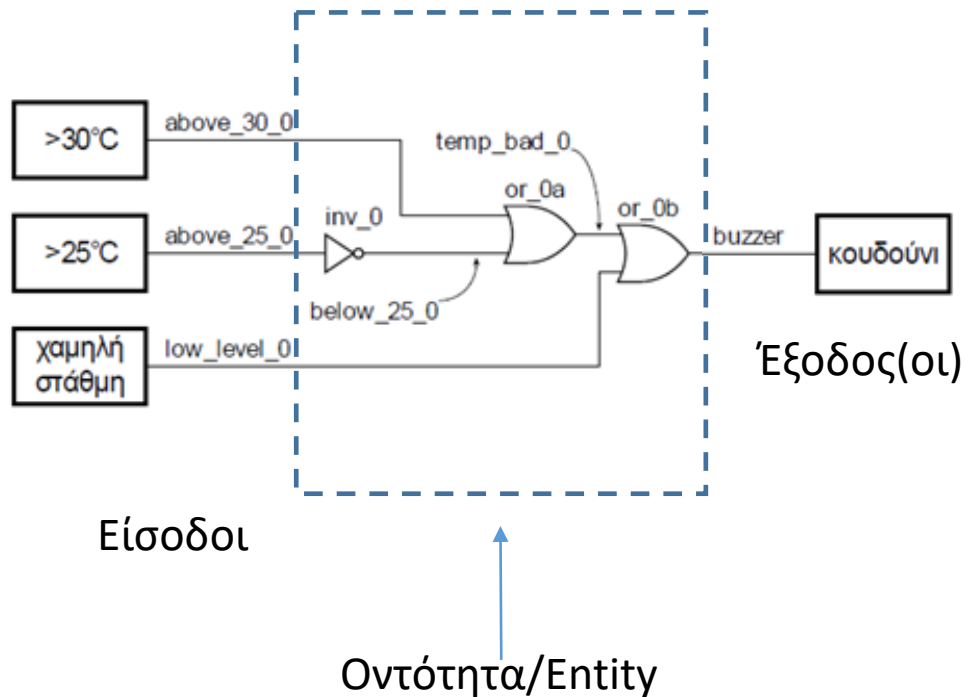
**Ε.ΔΙ.Π Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ**

## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Entity: Input/Output

- Περιγράφει τη διασύνδεση μίας λογικής μονάδας, χωρίς να προσδιορίζει τη συμπεριφορά της (μαύρο κουτί - black box)
- Η διασύνδεση της μονάδας περιγράφεται με μία δήλωση των **διαύλων/θυρών επικοινωνίας (ports - signals)**

```
entity entity_name is -- σχόλια
  port (
    signal_name: mode
signal_type;
    signal_name: mode
signal_type;
    ...
    signal_name: mode
signal_type);
end entity entity_name;
```

## Ψηφιακό κύκλωμα – VHDL: Entity (Input/Output PORTS)



Υποχρεωτικές Βιβλιοθήκες

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;
```

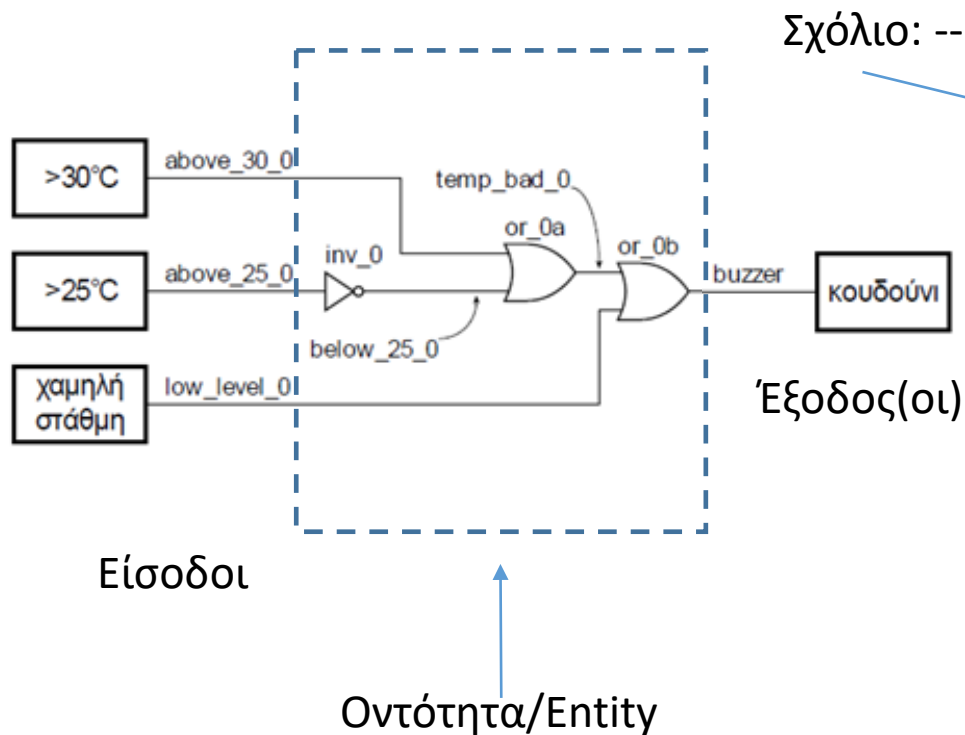
Περιγραφή Οντότητας

```
entity buzzer is
```

```
port (  
  above_25_0: in std_logic;  
  above_30_0: in std_logic;  
  low_level_0: in std_logic;  
  buzzer    : out std_logic );
```

```
end entity buzzer;
```

## Ψηφιακό κύκλωμα – VHDL: Entity (Input/Output PORTS)



Σχόλιο: --

Χωρίς τις Βιβλιοθήκες

Περιγραφή Οντότητας

```
--library IEEE;  
--use IEEE.STD_LOGIC_1164.ALL;
```

```
entity buzzer is
```

```
port (  
  above_25_0: in bit;  
  above_30_0: in bit;  
  low_level_0: in bit;  
  buzzer      : out bit);
```

```
end entity buzzer;
```

Ο τύπος **bit**, (αλλά και **bit\_vector**, ...) υποστηρίζεται χωρίς την ανάγκη κλήσης βιβλιοθηκών

## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Entity: Input/Output

- **entity\_name**: το όνομα της οντότητας
- **signal\_name**: το όνομα του σήματος (εάν είναι πολλά σήματα χωρίζονται με κόμμα)
- **mode**: η κατεύθυνση του σήματος
  - **in**: είσοδος της οντότητας
  - **out**: έξοδος της οντότητας
  - **inout**: είσοδος ή έξοδος της οντότητας (bidirectional), (ΔΕΝ θα μας απασχολήσει στο μάθημα)
- **signal\_type**: ο τύπος του σήματος (STD\_LOGIC ή άλλος)

## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Ονόματα & Ετικέτες

- Είναι **μοναδικά** μέσα σε μία συγκεκριμένη οντότητα (και αρχιτεκτονική)
- Τα σχόλια σε μία γραμμή έπονται του "--"
- Χρησιμοποιούνται οι χαρακτήρες: **a-z, A-Z, 0-9, "\_"**
- Δεν χρησιμοποιούνται οι χαρακτήρες, όπως: **+, -, !, &**
- Δεν χρησιμοποιούνται ούτε **σημεία στίξης** στα ονόματα και τις ετικέτες, ούτε διπλό **"\_"**, δηλαδή **\_\_**
- Δεν διαχωρίζονται κεφαλαία γράμματα από μικρά
- Ο πρώτος χαρακτήρας είναι **αλφαβητικός**
- **Προσοχή στις δεσμευμένες λέξεις**

# VHDL – Τύποι σημάτων

## Std\_logic

Τιμή	Modeling for simulation	Synthesis
U	Uninitialized	Uninitialized
X	Strong driven unknown	Don't care/Multiple Values
0	Strong driven 0	0
1	Strong driven 1	1
Z	High impedance	High impedance/Δεν περνάει ρεύμα
W	Weakly driven unknown	Don't care
L	Weakly driven 0	0
H	Weakly driven 1	1
-	Don't care	Don't care

# VHDL – Τύποι σημάτων

## Std\_logic\_vector

```
signal_in_0: in std_logic;  
signal_in_1: in std_logic;  
signal_in_2: in std_logic;  
signal_in_3: in std_logic;
```

Εναλλακτικά

```
signal_in : in std_logic_vector (3 downto 0);
```

```
signal_in <="0101";
```

```
signal_in(0) <='1'  
signal_in(1) <='0'  
signal_in(2) <='1'  
signal_in(3) <='0'
```

Προσοχή σε “ και ‘



# VHDL – Τύποι σημάτων

## Std\_logic\_vector

- Ο τύπος του λογικού διανύσματος (μονοδιάστατου array) **STD\_LOGIC\_VECTOR** είναι μέρος του πακέτου **IEEE.std\_logic\_1164** της βιβλιοθήκης **IEEE**
- Προσδιορίζει ένα διατεταγμένο σύνολο από σήματα (μεταβλητές) τύπου **STD\_LOGIC**.
- Η διάταξη μπορεί να είναι αύξουσα  
**STD\_LOGIC\_VECTOR (0 to 7)**  
ή φθίνουσα  
**STD\_LOGIC\_VECTOR (7 downto 0)**
- Οι δείκτες των στοιχείων του array είναι τύπου **natural**
- Προσοχή, δεν είναι ακέραιος δυαδικός αριθμός

# VHDL – Τύποι σημάτων

## Std\_logic\_vector

- Δήλωση τιμών για το 8-ψήφιο λογικό διάνυσμα V
  - `V <= "11110000"`
  - `V <= (others => '0')` -- όλα-0
- Συγκρίσεις:
  - `V = "00000000"` για σύγκριση **ολόκληρου** του διανύσματος
  - `V(3 downto 0) = "0000"` για σύγκριση **μέρους** του διανύσματος
  - Προσοχή. **Μη επιτρεπτή σύγκριση**: `V = "---0000"`
    - το '-' δεν εκλαμβάνεται σαν don't care κατά τη σύγκριση

**Προσοχή. Σε όλα τα προγράμματα τα PORT στον ορισμό της Οντότητας θα είναι MONO STD\_LOGIC ή STD\_LOGIC\_VECTOR**

# VHDL – Τύποι σημάτων

## Std\_logic\_vector

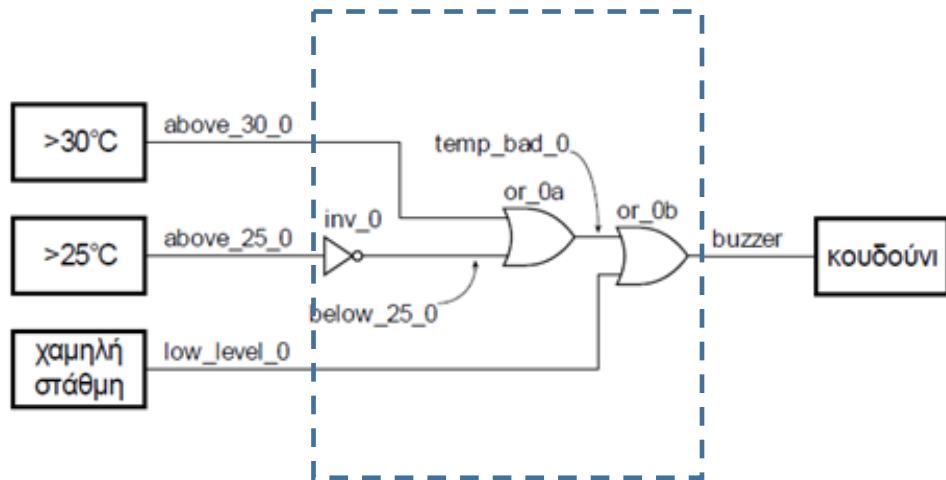
- Μπορούμε να έχουμε και δήλωση σήματος ως `std_logic_vector` χωρίς `index range`.
- Σε αυτή την περίπτωση υπονοείται από άλλη οντότητα
- Μπορείτε να βρείτε παράδειγμα :

<https://electronics.stackexchange.com/questions/622590/does-vhdl-allow-a-std-logic-vector-port-with-no-bounds>

## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Architecture

```
architecture arch_name of entity_name is  
  signal signal_name: signal_type;  
  component comp_name  
    port (  
      signal_name: mode signal_type;  
      ...  
      signal_name: mode signal_type);  
  end component;  
  ...  
begin  
  concurrent_component_statement;  
  ...  
  concurrent_component_statement;  
end architecture arch_name;
```

## Ψηφιακό κύκλωμα – VHDL: Architecture (Dataflow)



architecture Dataflow of buzzer is

begin

```
buzzer<= low_level_0 or (above_30_0 or not above_25_0);
```

end architecture buzzer;

### Αρχιτεκτονική

Περιγραφή της λειτουργικότητας που προσφέρει το λογικό κύκλωμα

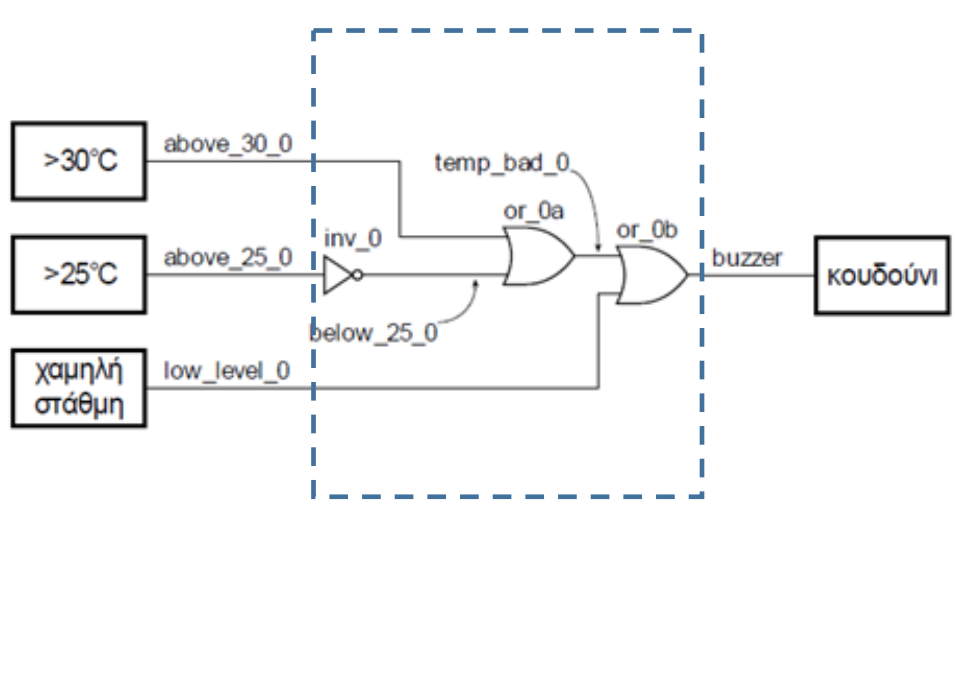
Τα σήματα εξόδου (out) ΠΑΝΤΑ αριστερά, τα σήματα εισόδου (in) ΠΑΝΤΑ δεξιά.

# VHDL - Παράδειγμα

## Υλοποίηση Αρχιτεκτονικής (Dataflow)

1. Αποτελείται από απλές εντολές ανάθεσης τιμών σε σήματα
2. Κάθε εντολή εκτελείται όταν μεταβληθεί η τιμή ενός σήματος στο αριστερό μέρος.
3. Όλες οι εντολές ανάθεσης εκτελούνται ταυτόχρονα (παράλληλα)
4. Οι εντολές ανάθεσης αντιστοιχούν σε λογικές πράξεις της άλγεβρας Boole.
5. Το RTL διάγραμμα που προκύπτει είναι μία απεικόνιση της άλγεβρας Boole που εκφράζουν οι εντολές ανάθεσης σε στοιχειώδεις λογικές πύλες (AND, OR, NOT) και πολυπλέκτες.

## Ψηφιακό κύκλωμα – VHDL: Architecture (Behavioral)



architecture behavior of vat\_buzzer is

begin

**process** (above\_30\_1, above\_25\_1, select\_vat ) **is**

**begin**

buzzer <= low\_level\_0 or (above\_30\_0 or not above\_25\_0);

**end process;**

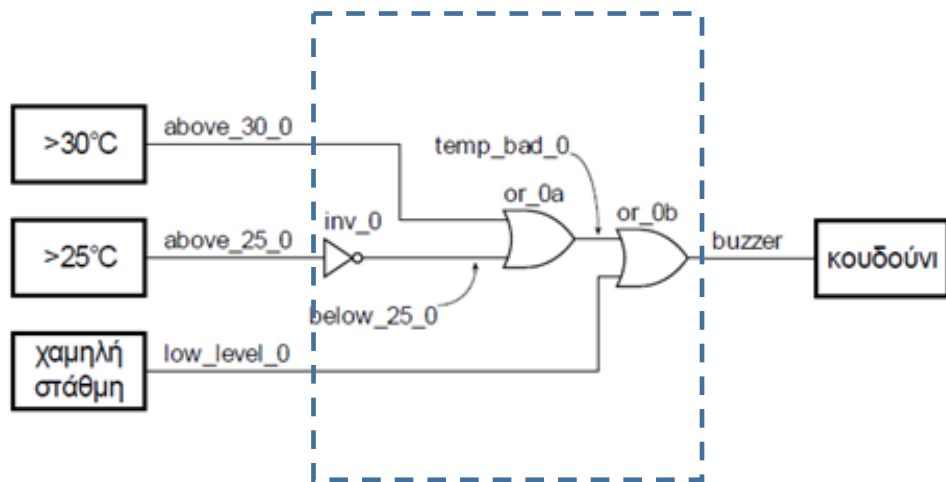
**end architecture behavior;**

## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Architecture

- **arch\_name**: το όνομα της αρχιτεκτονικής
- **entity\_name**: το όνομα της οντότητας
- **comp\_name**: το όνομα του **στοιχείου (component)** που χρησιμοποιείται στην αρχιτεκτονική της οντότητας.
  - Το στοιχείο είναι μία ήδη προκαθορισμένη οντότητα.
- **signal\_name**: το όνομα του σήματος (εάν είναι πολλά σήματα χωρίζονται με κόμμα)
  - στις δηλώσεις σημάτων (μετά το **is**) το σήμα είναι μία **εσωτερική διασύνδεση** της αρχιτεκτονική της οντότητας
  - στις δηλώσεις των διαύλων του στοιχείου (component) το σήμα είναι είσοδος, έξοδος του στοιχείου, όπως ακριβώς προκύπτει από τη δήλωση των διαύλων της οντότητας του συγκεκριμένου στοιχείου
- **signal\_type**: ο τύπος του σήματος (STD\_LOGIC ή άλλος)



## Ψηφιακό κύκλωμα – VHDL: Architecture (Dataflow)



architecture Dataflow of buzzer is

```
signal temp_bad_0, below_25_0: std_logic;
```

```
begin
```

```
below_25_0<=not above_25_0;
```

```
temp_bad_0<=above_30_0 or below_25_0;
```

```
buzzer<= temp_bad_0 or low_level_0;
```

```
end architecture buzzer;
```

Περιγραφή της λειτουργικότητας που προσφέρει το λογικό κύκλωμα με **χρήση εσωτερικών σημάτων**

**concurrent statements**

**Τα εσωτερικά σήματα μπορούν να είναι και αριστερά και δεξιά**

## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Architecture

- Ταυτόχρονες εντολές ανάθεσης σήματος (concurrent\_signal\_assignment\_statements)

```
signal_name <= expression;
```

- **expression**: έκφραση με σήματα και τελεστές
- **signal\_name**: το όνομα του σήματος
  - στις ταυτόχρονες εντολές ανάθεσης σήματος :
    - στην **έκφραση (expression)** προσδιορίζονται σήματα που είναι **είσοδοι** στην οντότητα και δηλώνονται κατά τη δήλωση των διαύλων της οντότητας, και **εσωτερικές διασυνδέσεις (εσωτερικά σήματα)** που δηλώνονται κατά τη δήλωση σημάτων
    - στο αριστερό μέρος της εντολής προσδιορίζεται σήμα που είναι **έξοδος** της οντότητας και δηλώνεται κατά τη δήλωση των διαύλων της οντότητας, ή **εσωτερική διασύνδεση (εσωτερικό σήμα)** που δηλώνεται κατά τη δήλωση σημάτων

## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Architecture

- **Εκτέλεση** ταυτόχρονων εντολών ανάθεσης σήματος (concurrent\_signal\_assignment\_statements)

```
signal_name <= expression;
```

- Οι ταυτόχρονες εντολές ανάθεσης σήματος εκτελούνται μόνο, όταν υπάρξει αλλαγή τιμής στις εισόδους (στα σήματα της δεξιάς πλευράς της ταυτόχρονης εντολής ανάθεσης σήματος).
- Δεν προσδιορίζεται καθυστέρηση διάδοσης άλλη, εκτός από μία απειροελάχιστη καθυστέρηση διάδοσης, την **καθυστέρηση δέλτα**  $\delta_{\text{delay}}$ , που δεν επηρεάζει τον χρονισμό του κυκλώματος
- Η πραγματική καθυστέρηση διάδοσης θα προσδιορισθεί με την υλοποίηση σε μία συγκεκριμένη τεχνολογία

Η **καθυστέρηση δέλτα**  $\delta_{\text{delay}}$  δεν είναι πραγματική καθυστέρηση που επηρεάζει την προσομοίωση, αλλά απλώς ιεραρχεί τις μεταβάσεις που συμβαίνουν στα σήματα την ίδια χρονική στιγμή.

## Ψηφιακό κύκλωμα – VHDL: Architecture (Structural)

```
architecture arch_name of entity_name is
  signal signal_name: signal_type;
  component comp_name
    port (
      signal_name: mode signal_type;
      ...
      signal_name: mode signal_type);
  end component;
begin
  label: comp_name port map (signal_name, ..);
  ...
  label: comp_name port map (signal_name, ..);
  concurrent_component_statement;
  ...
  concurrent_component_statement;
end architecture arch_name;
```

## Ψηφιακό κύκλωμα – VHDL: Architecture (Structural)

- **arch\_name**: το όνομα της αρχιτεκτονικής
- **entity\_name**: το όνομα της οντότητας
- **comp\_name**: το όνομα του **στοιχείου (component)** που χρησιμοποιείται στην αρχιτεκτονική της οντότητας.
  - Το στοιχείο είναι μία ήδη προκαθορισμένη οντότητα. Ξέρουμε τη λειτουργικότητα που προσφέρει. Όταν επαναχρησιμοποιούμε μια οντότητα (entity) την ονομάζουμε **component**.
- **signal\_name**: το όνομα του σήματος (εάν είναι πολλά σήματα χωρίζονται με κόμμα)
  - στις δηλώσεις σημάτων (μετά το **is** και πριν το **begin**) το σήμα είναι μία **εσωτερική διασύνδεση** της αρχιτεκτονική της οντότητας
  - στις δηλώσεις των διαύλων του στοιχείου (component) το σήμα είναι είσοδος, έξοδος του στοιχείου, όπως ακριβώς προκύπτει από τη δήλωση των διαύλων της οντότητας του συγκεκριμένου στοιχείου
- **signal\_type**: ο τύπος του σήματος (STD\_LOGIC ή άλλος)
- **Ταυτόχρονες εντολές ανάθεσης σήματος** (Όπως σε αρχιτεκτονική Dataflow)

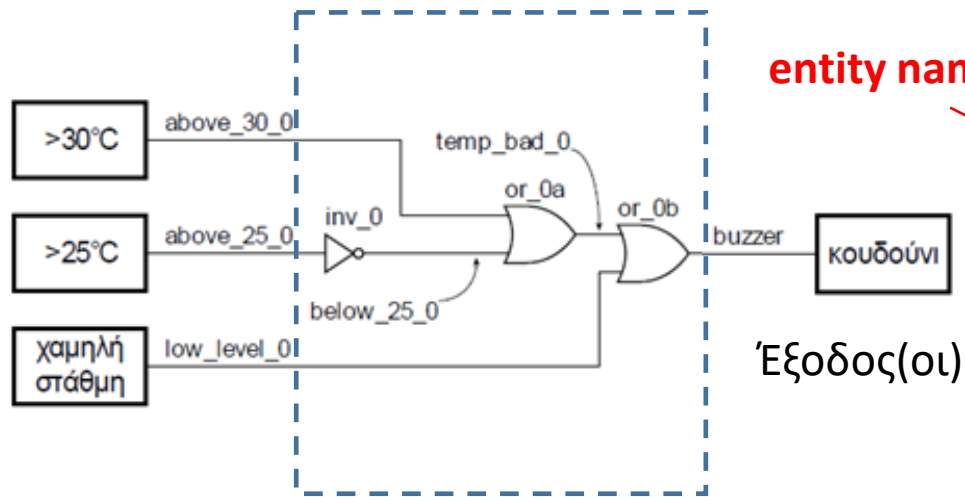
## Ψηφιακό κύκλωμα – Αναπαράσταση σε VHDL – Αρχιτεκτονική – Components (1/2)

- **Ταυτόχρονες εντολές στοιχείων** (concurrent\_component\_statements)

```
label: comp_name port map (signal_name, ..);
```

- **label**: οι μοναδικές ετικέτες των στοιχείων
- **comp\_name**: το όνομα του στοιχείου (υποκύκλωμα) που χρησιμοποιείται στην αρχιτεκτονική της οντότητας
- **signal\_name**: το όνομα του σήματος που συνδέεται στο υποκύκλωμα (comp\_name) (εάν είναι πολλά σήματα χωρίζονται με κόμμα)
  - το σήμα είναι μία διασύνδεση που αφορά τη συγκεκριμένη αρχιτεκτονική της οντότητας που χρησιμοποιεί το στοιχείο
  - αντιστοιχεί αμφιμονοσήμαντα στο αντίστοιχο σήμα της δήλωσης των port του υποκυκλώματος (comp\_name) (**θέλει προσοχή η σειρά των σημάτων**)

## Ψηφιακό κύκλωμα – VHDL: Entity (Input/Output PORTS)



Είσοδοι

Οντότητα/Entity

Έξοδος(οι)

port list

entity name

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity buzzer is
```

```
port (  
  above_25_0: in std_logic;  
  above_30_0: in std_logic;  
  low_level_0: in std_logic;  
  buzzer    : out std_logic );
```

```
end entity buzzer;
```

χρήση πρότυπης βιβλιοθήκης

package

port type

port mode

# VHDL - Παράδειγμα

## Υλοποίηση Αρχιτεκτονικής (Structural – Δήλωση Οντοτήτων)

```
entity OR_gate is  
  port(A : in std_logic;  
        B : in std_logic;  
        O : out std_logic);  
end entity OR_gate;
```

```
architecture Dataflow of OR_gate is  
  begin  
    O<=A or B;  
  end Dataflow;
```



# VHDL - Παράδειγμα

## Υλοποίηση Αρχιτεκτονικής (Structural – Δήλωση Οντοτήτων)

```
entity NOT_gate is  
  port(A : in std_logic;  
        O : out std_logic);  
end entity NOT_gate;
```

```
architecture Dataflow of NOT_gate is  
begin  
  O<=not A;  
end Dataflow;
```

# VHDL - Παράδειγμα

## Υλοποίηση Αρχιτεκτονικής (Structural – Δήλωση Αρχιτεκτονικής Κύριας Οντότητας)

```
architecture Structural of buzzer is
```

```
component OR_gate is  
port(A : in std_logic;  
      B : in std_logic;  
      O : out std_logic);  
end component OR_gate;
```

```
component NOT_gate is  
port(A : in std_logic;  
      O : out std_logic);  
end component NOT_gate;
```

```
signal below_25_0: std_logic;  
signal temp_bad_0: std_logic;
```

```
begin
```

```
comp_not: NOT_gate port map(A=>above_25_0, O=>below_25_0);  
comp_or1: OR_gate port map (A=>above_30_0, B=>below_25_0, O=>temp_bad_0);  
comp_or2: OR_gate port map (A=>low_level_0, B=>temp_bad_0, O=>buzzer);
```

```
end architecture Structural;
```

## Υλοποίηση Αρχιτεκτονικής (Structural)

1. Για την υλοποίηση της αρχιτεκτονικής χρησιμοποιούμε τη λειτουργικότητα άλλων Οντοτήτων που έχουμε ήδη υλοποιήσει.
2. Τις οντότητες που θα χρησιμοποιήσουμε τις δηλώνουμε (όνομα και port) ανάμεσα στο `is` και το `begin` της αρχιτεκτονικής. Όμως πλέον έχουν την έννοια της συνιστώσας (component).
3. Η αρχιτεκτονική πλέον αποτελείτε και από εντολές που καλούν(δημιουργούν) τα components, τα οποία μπορεί και να επικοινωνούν μεταξύ τους (συνηθέστερη περίπτωση).
4. Άρα μια οντότητα μπορεί να χρησιμοποιεί άλλες οντότητες (με τη μορφή component), οι οποίες μπορεί να είναι υλοποιημένες με οποιοδήποτε από τις 3 αρχιτεκτονικές. Στη περίπτωση της structural δομής βλέπουμε ότι σχηματίζεται ένα δέντρο, τα φύλλα του οποίου είναι οντότητες. Τα φύλλα που είναι τερματικά έχουν δομή Dataflow ή Behavioral.
5. ΔΕΝ αλλάζει τίποτα στην προσομοίωση

Μπορείτε να δείτε και το: <https://buzztech.in/vhdl-modelling-styles-behavioral-dataflow-structural/>

# Boards

- Boards που μπορείτε να ερευνήσετε για home use:

Without ARM

<https://www.digikey.gr/en/products/detail/digilent-inc/410-183/4970275>

With ARM (Zynq7000)

<https://www.digikey.gr/en/products/detail/digilent-inc/410-370/9445909>

<https://www.digikey.gr/en/products/detail/digilent-inc/6003-410-017/9839382>

<https://www.digikey.gr/en/products/detail/digilent-inc/410-351-10/7652757>

# Περίληψη

- Παράδειγμα ανάπτυξης εφαρμογής σε VHDL
- Δηλώσεις Οντότητας (entity), Αρχιτεκτονικής (architecture).
- Ports και Εσωτερικά σήματα
- Ταυτόχρονες εντολές
- Components
- Προτεραιότητες πράξεων
- Τύποι σημάτων (std\_logic, std\_logic\_vector)
- Διαβάζετε τις παραγράφους 3.2 από Ashenden και 2.1, 2.6, 4.1-4.6 (ΟΧΙ το κομμάτι της VERILOG) από το βιβλίο των Harris.