



Εργαστήριο Σχεδίασης Ψηφιακών Συστημάτων

4^ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

5^η Εργαστηριακή Άσκηση

Counter with Load

Θα υλοποιήσετε ένα counter (4 bit) που είτε θα αυξάνει είτε θα μειώνει την τιμή του κατά 1μ ανά 1 δευτερόλεπτο, θα έχει ασύγχρονο reset και θα μπορεί να κάνει «**φόρτωση**». Η αλλαγή της τιμής του counter θα γίνεται με βάση το clock της κάρτας.

Η τιμή του counter θα φαίνεται σε led της κάρτας.

Κοιτάτε την εκφώνηση της άσκησης

5^η Εργαστηριακή Άσκηση

Καθορισμός Οντότητας

Καθορισμός Εισόδων/Εξόδων

5 σήματα Εισόδου και 1 Εξόδου

8 bit Εισόδου και 4 bit Εξόδου

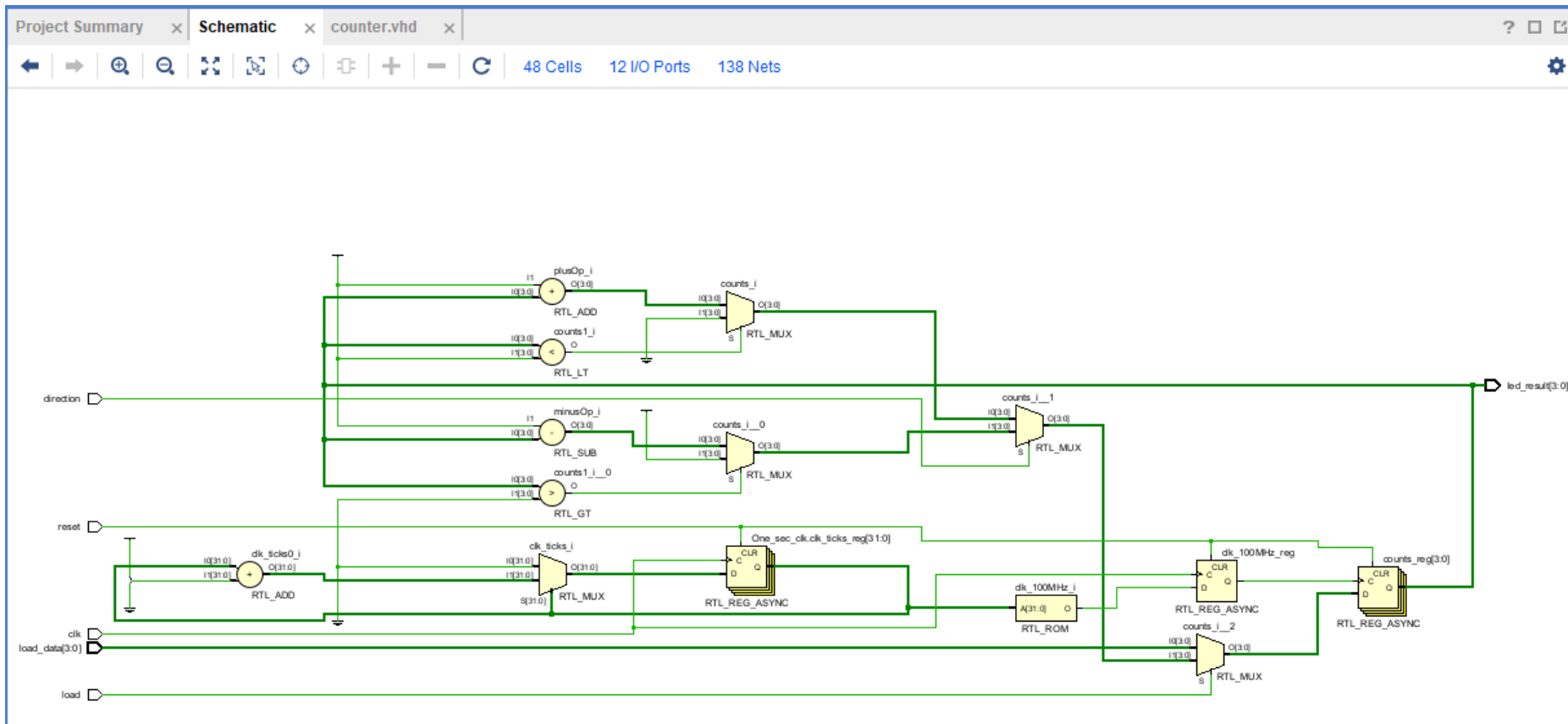
5^η Εργαστηριακή Άσκηση

ΠΡΟΧΩΡΗΣΤΕ ΣΤΗΝ ΑΣΚΗΣΗ



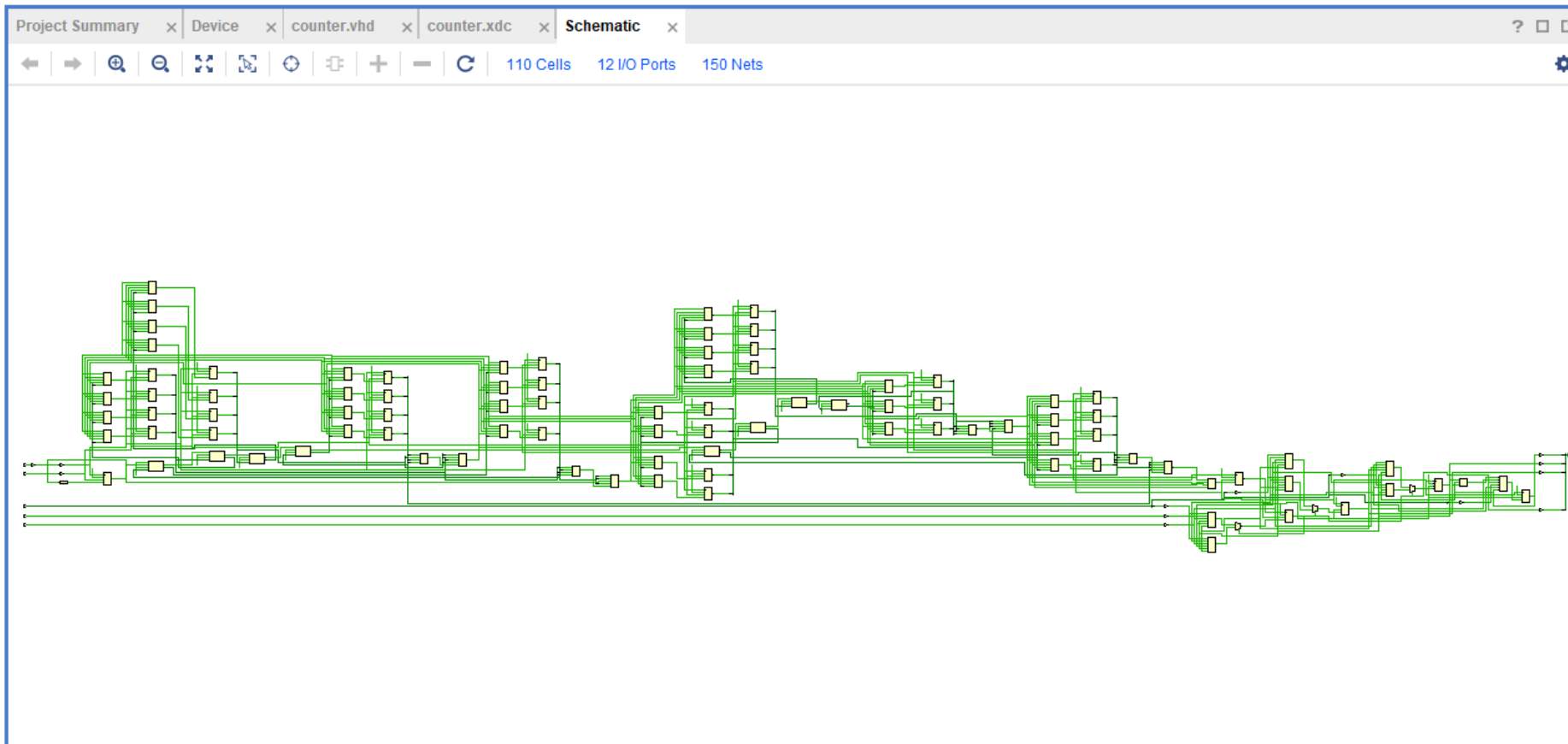
5^η Εργαστηριακή Άσκηση

RTL Schematic



5^η Εργαστηριακή Άσκηση

Synthesis/Implemented Design



5^η Εργαστηριακή Άσκηση

Implementation: Utilization

Project Summary x Device x counter.vhd x counter.xdc x Schematic x

Overview | Dashboard

Messages: 1 warning

Part: xc7z020clg484-1

Strategy: Vivado Synthesis Defaults

Report Strategy: Vivado Synthesis Default Reports

Incremental synthesis: Automatically selected checkpoint

DRC Violations

Summary: 1 warning

Implemented DRC Report

Utilization Post-Synthesis | Post-Implementation

Graph | Table

Resource	Utilization	Available	Utilization %
LUT	48	53200	0.09
FF	37	106400	0.03
IO	12	200	6.00
BUFG	1	32	3.13

Tcl Console Messages Log Reports Design Runs DRC Methodology Power Timing Utilization x

Summary

Resource	Utilization	Available	Utilization %
LUT	48	53200	0.09
FF	37	106400	0.03
IO	12	200	6.00

Project Summary

Report Utilization

5^η Εργαστηριακή Άσκηση

Implementation: Time (1/2)

Γράφετε

`report_timing_summary -datasheet`

στο **TCL Console** και βρίσκεται την πληροφορία στο παραγόμενο report

Pulse Width Checks

```
-----  
Clock Name:      CLK  
Waveform(ns):   { 0.000 5.000 }  
Period(ns):     10.000  
Sources:        { clk }
```

Check Type	Corner	Lib Pin	Reference Pin	Required(ns)	Actual(ns)	Slack(ns)	Location	Pin
Min Period	n/a	BUFG/I	n/a	2.155	10.000	7.845	BUFGCTRL_X0Y0	clk_IBUF_BUFG_inst/I
Low Pulse Width	Slow	FDCE/C	n/a	0.500	5.000	4.500	SLICE_X109Y74	One_sec_clk.clk_ticks_reg[0]/C
High Pulse Width	Slow	FDCE/C	n/a	0.500	5.000	4.500	SLICE_X109Y74	One_sec_clk.clk_ticks_reg[0]/C

```
-----  
| Data sheet  
|
```


5^η Εργαστηριακή Άσκηση

Implementation: Time (2/2)

```
-----  
Slack (MET) :          5.916ns  (required time - arrival time)  
  Source:            One_sec_clk.clk_ticks_reg[29]/C  
                    (rising edge-triggered cell FDCE clocked by CLK  {rise@0.000ns fall@5.000ns period=10.000ns})  
  Destination:      One_sec_clk.clk_ticks_reg[4]/D  
                    (rising edge-triggered cell FDCE clocked by CLK  {rise@0.000ns fall@5.000ns period=10.000ns})  
  Path Group:        CLK  
  Path Type:          Setup (Max at Slow Process Corner)  
  Requirement:        10.000ns  (CLK rise@10.000ns - CLK rise@0.000ns)  
  Data Path Delay:    4.004ns  (logic 0.828ns (20.679%)  route 3.176ns (79.321%))  
  Logic Levels:       3  (LUT4=1 LUT5=2)  
  Clock Path Skew:    -0.074ns  (DCD - SCD + CPR)  
    Destination Clock Delay (DCD):    5.151ns = ( 15.151 - 10.000 )  
    Source Clock Delay (SCD):    5.619ns  
    Clock Pessimism Removal (CPR):    0.394ns  
  Clock Uncertainty:  0.035ns  ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE  
    Total System Jitter (TSJ):    0.071ns  
    Total Input Jitter (TIJ):    0.000ns  
    Discrete Jitter (DJ):    0.000ns  
    Phase Error (PE):    0.000ns
```

5^η Εργαστηριακή Άσκηση

Constraints

```
set_property -dict { PACKAGE_PIN Y9 IOSTANDARD LVCMOS33 } [get_ports {clk}]
set_property -dict { PACKAGE_PIN P16 IOSTANDARD LVCMOS33 } [get_ports { reset }];
set_property -dict { PACKAGE_PIN H17 IOSTANDARD LVCMOS33 } [get_ports { load }];
set_property -dict { PACKAGE_PIN M15 IOSTANDARD LVCMOS33 } [get_ports { direction }];
set_property -dict { PACKAGE_PIN F22 IOSTANDARD LVCMOS33 } [get_ports { load_data[0] }];
set_property -dict { PACKAGE_PIN G22 IOSTANDARD LVCMOS33 } [get_ports { load_data[1] }];
set_property -dict { PACKAGE_PIN H22 IOSTANDARD LVCMOS33 } [get_ports { load_data[2] }];
set_property -dict { PACKAGE_PIN F21 IOSTANDARD LVCMOS33 } [get_ports { load_data[3] }];
```

```
set_property -dict { PACKAGE_PIN T22 IOSTANDARD LVCMOS33 } [get_ports { led_result[0] }];
set_property -dict { PACKAGE_PIN T21 IOSTANDARD LVCMOS33 } [get_ports { led_result[1] }];
set_property -dict { PACKAGE_PIN U22 IOSTANDARD LVCMOS33 } [get_ports { led_result[2] }];
set_property -dict { PACKAGE_PIN U21 IOSTANDARD LVCMOS33 } [get_ports { led_result[3] }];
```

```
create_clock -period 10 -name CLK -waveform {0.000 5.000} [get_ports {clk}]
```

5^η Εργαστηριακή Άσκηση

Counter

Κοιτάμε την τελική λύση

Προχωράτε στη λύση όλης της άσκησης

ΚΑΛΟ ΔΙΑΒΑΣΜΑ και ΚΑΛΗ ΕΠΙΤΥΧΙΑ