



ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
Εθνικόν και Καποδιστριακόν
Πανεπιστήμιον Αθηνών
— ΙΔΡΥΘΕΝ ΤΟ 1837 —

ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ

ΠΠΣ Τμήματος Πληροφορικής
και Τηλεπικοινωνιών

ΥΣ03: Σχεδίαση Ψηφιακών Συστημάτων

ΜΔΕ στον Ηλεκτρονικό Αυτοματισμό

18203: Ψηφιακά Συστήματα και
Αρχιτεκτονική Υπολογιστών
(Αρχιτεκτονική και Υλικό ΗΥ)

ΕΙΣΑΓΩΓΗ

Ακαδημαϊκό Έτος 2023-2024

Αναπλ. Καθηγητής Νεκτάριος Κρανίτης (Θεωρία)

Διονύσιος Βασιλόπουλος, ΕΔΙΠ (Εργαστήριο)

Πληροφορίες για το μάθημα

- Διδάσκων: Αναπλ. Καθηγητής Νεκτάριος Κρανίτης
 - Ώρες επικοινωνίας με φοιτητές: Τρίτη 11:00-13:00
 - E-mail: nkran@aerospace.uoa.gr
- Θεωρία: Τρίτη 11:00-13:00 αίθουσα Β
- Ιστοσελίδα του μαθήματος
 - e-Class: Πλατφόρμα Ασύγχρονης Τηλεκπαίδευσης
 - <https://eclass.uoa.gr/courses/D49/>
 - Θα εγγραφείτε ως πιστοποιημένοι χρήστες με χρήση των ιδρυματικών σας λογαριασμών
 - Μέσω e-class θα ενημερώνεστε για τα νέα του μαθήματος
 - Ανακοινώσεις, διαφάνειες, ασκήσεις

Μαθησιακοί Στόχοι

- Στόχος μαθήματος: η διδασκαλία της σύγχρονης προσέγγισης στη σχεδίαση ψηφιακών συστημάτων με τη γλώσσα περιγραφής υλικού VHDL και την υλοποίησή τους σε FPGAs
- Με την επιτυχή ολοκλήρωση του μαθήματος ο φοιτητής θα είναι σε θέση να:
 - σχεδιάζει και υλοποιεί ψηφιακά συστήματα με τη χρήση της γλώσσας VHDL
 - κατανοεί τις διαδικασίες: requirements specification, synthesis, verification, implementation
 - βελτιστοποιεί τη σχεδίαση και να αναλύει τους περιορισμούς χρονισμού (timing constraints)
 - σχεδιάζει και υλοποιεί ψηφιακά συστήματα σε FPGAs με σύγχρονα εργαλεία CAD
 - κατανοεί τη βασική αρχιτεκτονική του πιο διαδεδομένου ενσωματωμένου επεξεργαστή - ARM
 - κατανοεί την υλοποίηση μικροαρχιτεκτονικών ARM ενός κύκλου και πολλών κύκλων
- Στο εργαστήριο του μαθήματος:
 - εργαλείο λογισμικού VIVADO
 - αναπτυξιακή κάρτα Zedboard (Zynq-7020 FPGA SoC)
 - Εργασίες (projects): υλοποίηση ενός «απλού» ενσωματωμένου επεξεργαστή ARM



Projects

- Project 0: Εργαστηριακές ασκήσεις (από απλά ψηφιακά κυκλώματα μέχρι το datapath του επεξεργαστή ενός κύκλου αρχιτεκτονικής ARM)
 - Βαθμός 6
- Project 1: Σχεδίαση ενός επεξεργαστή ενός κύκλου αρχιτεκτονικής ARM (προπτυχιακοί φοιτητές)
 - Βαθμός 10
- Project 2: Σχεδίαση ενός επεξεργαστή πολλών κύκλων αρχιτεκτονικής ARM (μεταπτυχιακοί φοιτητές) – Επέκταση του Project 1
 - Βαθμός 10

Computing Classification System

- **ACM: Association for Computing Machinery**
 - Revision 2012 (source: ACM Digital Library)

The ACM Computing Classification System (CCS)				Switch to Flat View
General and reference	Hardware	Computer systems organization	Networks	
Software and its engineering	Theory of computation	Mathematics of computing	Information systems	
Security and privacy	Human-centered computing	Computing methodologies	Applied computing	
Social and professional topics	Proper nouns: People, technologies and companies	What is the CCS?		

Υλικό μαθήματος

• Βιβλιογραφία

- ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ ΚΑΙ ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΥΠΟΛΟΓΙΣΤΩΝ, ΕΚΔΟΣΗ ARM®
- Κωδικός Βιβλίου στον Εύδοξο: 86055864
- Έκδοση: 1η/2019
- Συγγραφείς: SARAH L. HARRIS, DAVID MONEY HARRIS
- ISBN: 978-960-461-961-0
- Τύπος: Σύγγραμμα
- Διαθέτης (Εκδότης): ΕΚΔΟΣΕΙΣ ΚΛΕΙΔΑΡΙΘΜΟΣ ΕΠΕ



Υλικό μαθήματος

- Διαφάνειες στο e-class
- Επιπλέον βιβλιογραφία
 - IEEE Transactions on Computers
 - IEEE Design & Test of Computers
 - IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems
 - IEEE Transactions on Very Large-Scale Integration (VLSI) Systems
 - IEEE Transactions on Aerospace and Electronic Systems
- Πρόσβαση μέσω του HEAL-link
 - Χρήση proxy εκτός σχολής

Hellenic Academic Libraries Link
HEALLINK
Σύνδεσμος Ελληνικών Ακαδημαϊκών Βιβλιοθηκών

The image shows a Windows 'Connection Settings' dialog box. The title bar reads 'Connection Settings' with a close button (X) on the right. The main heading is 'Configure Proxy Access to the Internet'. There are four radio button options: 'No proxy' (selected), 'Auto-detect proxy settings for this network', 'Use system proxy settings', and 'Manual proxy configuration'. Under 'Manual proxy configuration', there are three sections: 'HTTP Proxy' with a text box containing 'proxy.uoa.gr' and a 'Port' box containing '8080'; 'Also use this proxy for HTTPS' (checked checkbox); 'HTTPS Proxy' with a text box containing 'proxy.uoa.gr' and a 'Port' box containing '8080'; and 'SOCKS Host' with a text box containing 'proxy.uoa.gr' and a 'Port' box containing '8080'. Below these are two radio buttons for 'SOCKS v4' and 'SOCKS v5' (selected). There is also an 'Automatic proxy configuration URL' section with a text box and a 'Reload' button. At the bottom, there is a 'No proxy for' section with a large empty text box. Below this, there is an example: 'Example: .mozilla.org, .net.nz, 192.168.1.0/24' and a note: 'Connections to localhost, 127.0.0.1/8, and ::1 are never proxied.' At the very bottom, there is a checkbox: 'Do not prompt for authentication if password is saved'. The dialog has 'OK' and 'Cancel' buttons at the bottom right.

Υποστηρικτικό Εργαστηριακό Υλικό

- Οδηγός χρήσης των βασικών λειτουργιών του Vivado της XILINX
 - Θα διδαχθεί στο εργαστήριο του μαθήματος
- Project 1: Μεθοδολογία σχεδίασης επεξεργαστή ενός κύκλου
 - Μέρος του θα υλοποιηθεί στο εργαστήριο
- Project 2: Μεθοδολογία σχεδίασης επεξεργαστή πολλών κύκλων
 - Το παραπάνω βήμα με επιπλέον έμφαση στην μονάδα ελέγχου ως FSM

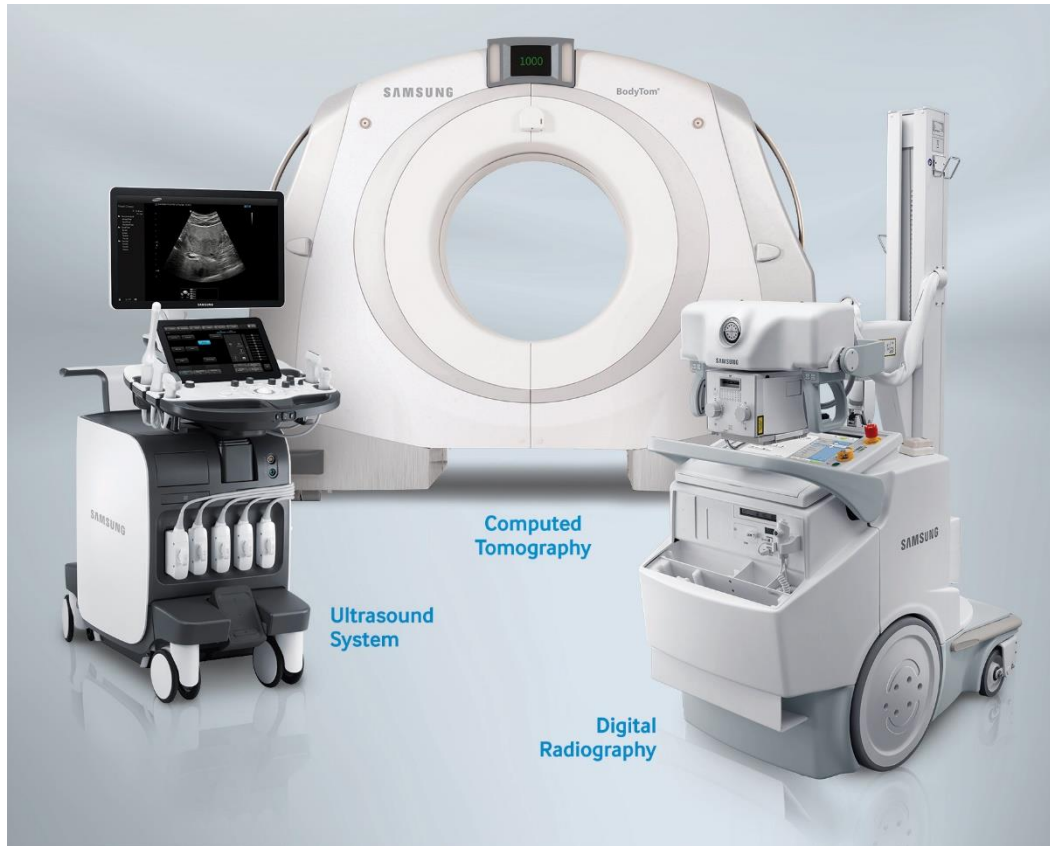
Τα ψηφιακά συστήματα βρίσκονται παντού!

- Καταναλωτικές ψηφιακές συσκευές (consumer electronics)



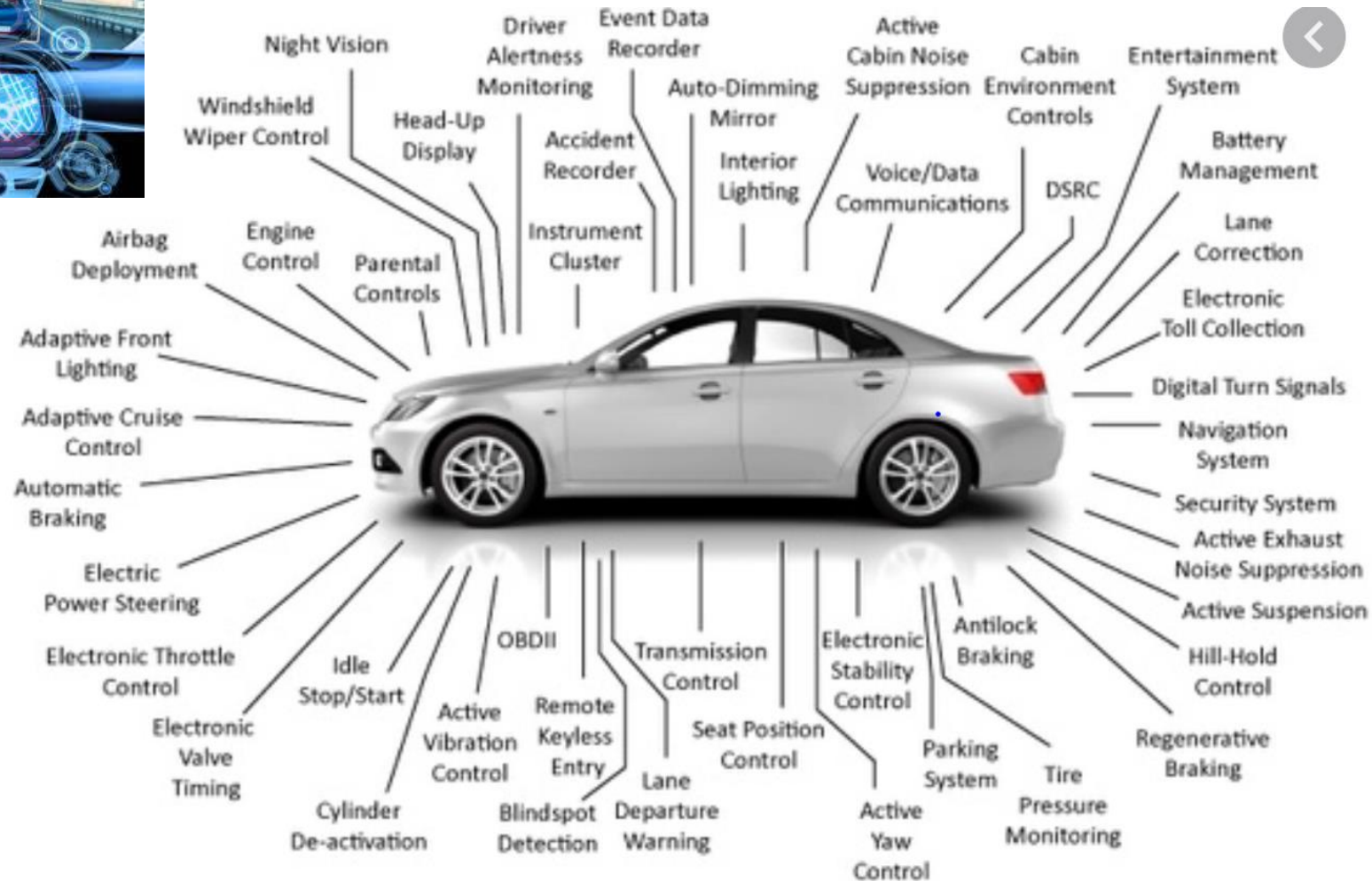
Τα ψηφιακά συστήματα βρίσκονται παντού!

- Μερικά παραδείγματα από την ιατρική



Τα ψηφιακά συστήματα βρίσκονται παντού!

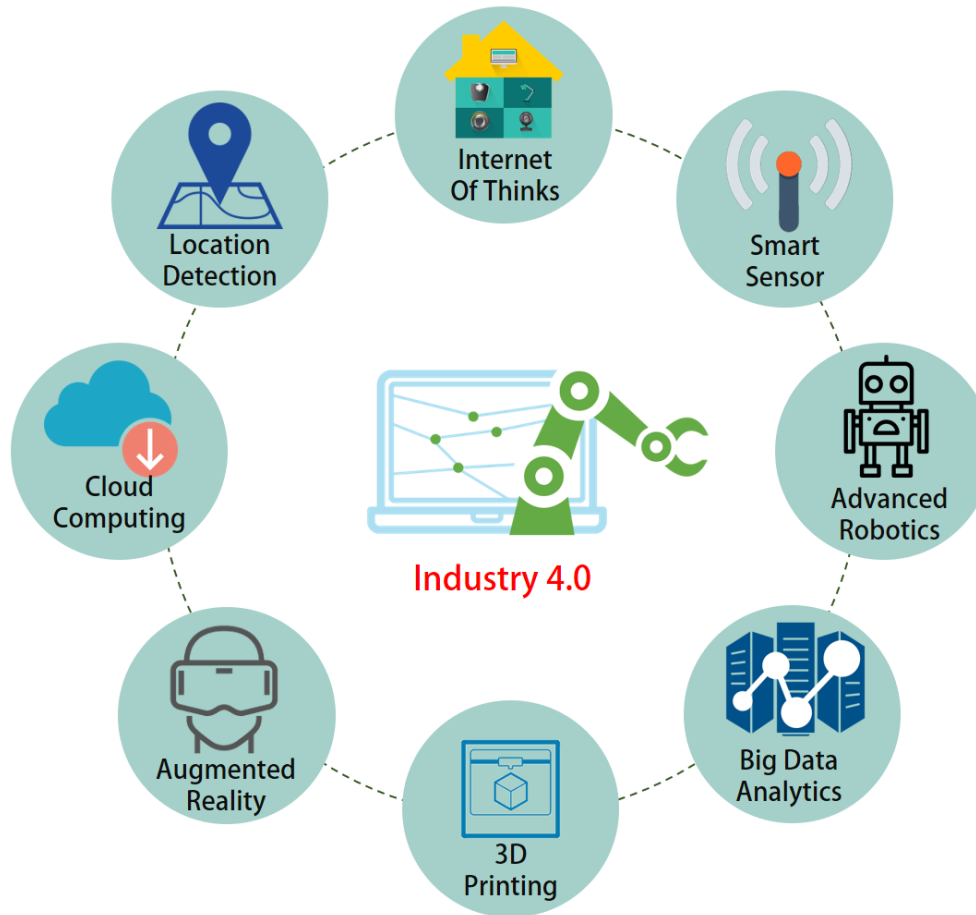
- Μερικά παραδείγματα από την αυτοκινητοβιομηχανία (AI, IoT)



Τα ψηφιακά συστήματα βρίσκονται παντού!

- Μερικά παραδείγματα από την ψηφιακή βιομηχανία

INDUSTRY 4.0 FRAMEWORK - THE DIGITAL TECHNOLOGIES



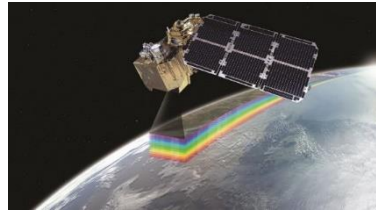
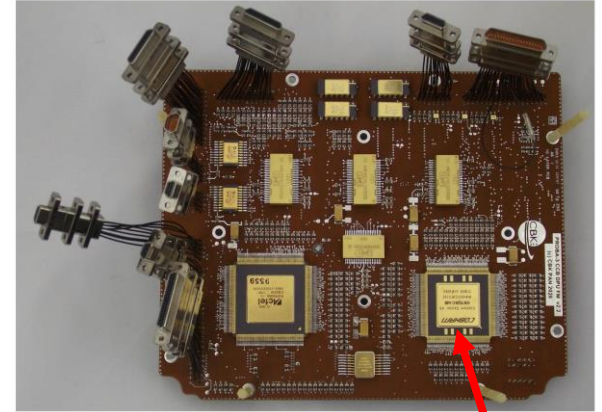
Robotics automation and machine learning @ industry



Big data analytics and machine learning @ data centers

Τα ψηφιακά συστήματα βρίσκονται παντού!

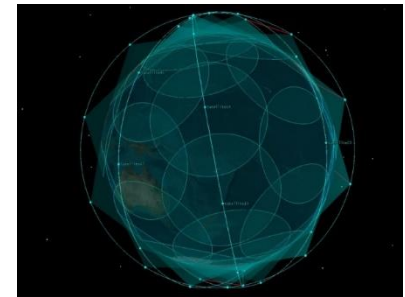
- Μερικά παραδείγματα από την αεροδιαστημική



DSCAL-EKPA



Internet of space
and navigation



Επιταχυντές Υλικού: Βασική τεχνολογία υλοποίησης αποδοτικών συστημάτων


- Κανόνας 90/10
 - Συχνά, το 90% του χρόνου εκτέλεσης και της ενέργειας ενός προγράμματος δαπανάται από το 10% του κώδικα
 - Μικρά κομμάτια μιας εφαρμογής αποτελούν το bottleneck της απόδοσης
 - Αφορούν κυρίως επεξεργασία δεδομένων χωρίς πολύπλοκο έλεγχο (dataflow processing)
 - Πχ: επεξεργασία και συμπίεση εικόνας και βίντεο, κρυπτογραφία κλπ
 - Ο επιταχυντής υλικού υλοποιεί τα ειδικά κυκλώματα για την επιτάχυνση του κρίσιμου μέρους της εφαρμογής
 - Ο επεξεργαστής υλοποιεί τα λιγότερο κρίσιμα μέρη

Σύστημα (System-On-Chip) : επεξεργαστής + επιταχυντής υλικού

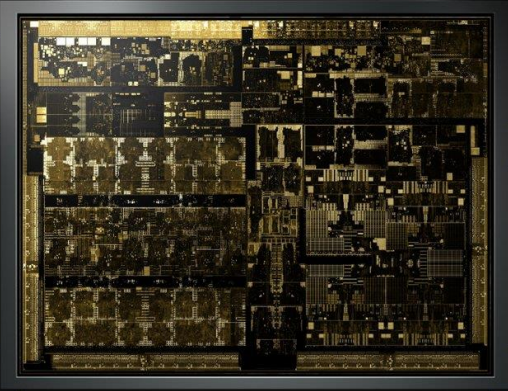
Παραδείγματα System-on-Chip

- Επεξεργαστές +
μεγάλος αριθμός από
επιταχυντές υλικού

Apple A15
15 billion transistors, TSMC 5nm



- 2 new high-performance cores
- 4 new high-efficiency cores
- Faster Neural Engine
- New display engine
- New video encoders
- New video decoders
- Double system cache
- New image signal processor

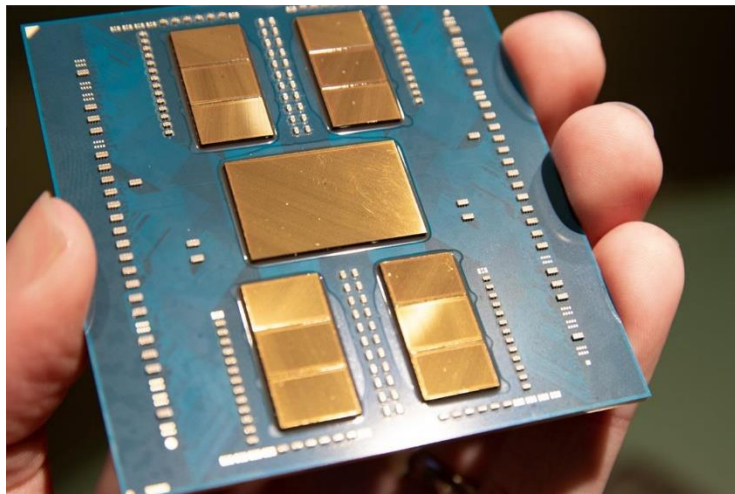


- 16 CSI
109 Gbps
1gE & 10gE
- DLA
5 TFLOPS FP16
10 TOPS INT8
- Video Processor
1.2 GPIX/s Encode
1.8 GPIX/s Decode
- PVA
1.6 TOPS
Stereo Disparity
Optical Flow
Image Processing
- Volta GPU
FP32 / FP16 / INT8 Multi Precision
512 CUDA Cores
1.3 CUDA TFLOPS
20 Tensor Core TOPS
- JSP
1.5 GPIX/s
Native Full-range HDR
Tile-based Processing
- Carmel ARM64 CPU
8 Cores
10-wide Superscalar
2700 SpectInt2000
Functional Safety Features
Dual Execution Mode
Parity & ECC
- 256-Bit LPDDR4
137 GB/s

NVIDIA Tegra Xavier
9 billion transistors, TSMC 12nm

Ένας πολυπύρηνος (96-cores) επεξεργαστής από την AMD

- AMD 4th gen Genoa EPYC 9004 Series data center chip
 - 96 cores at 4.4 GHz
 - 5nm CCDs, 6-nm IOD



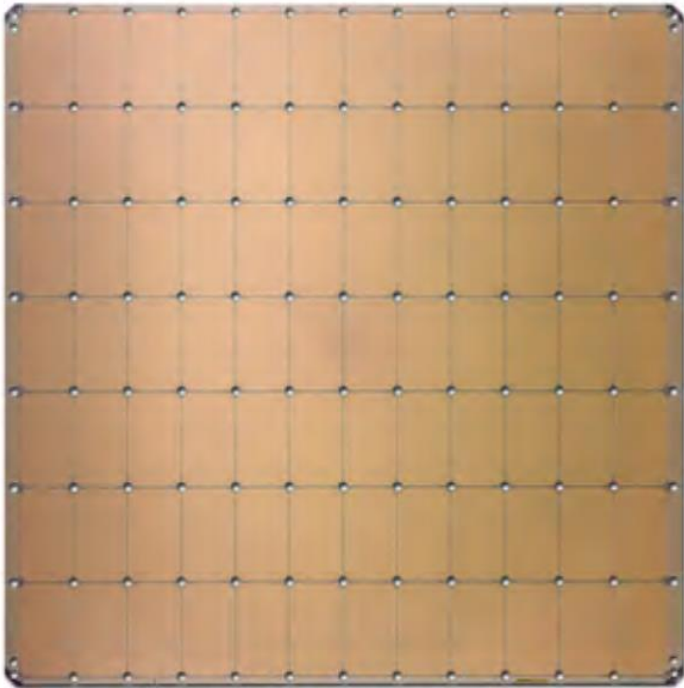
AMD EPYC™ 9004 Series SoC at a Glance

Compute <ul style="list-style-type: none">• AMD “Zen4” x86 cores (Up to 12 CCDs / 96 cores / 192 threads)• 1MB L2/Core, Up to 32MB L3/CCD• ISA updates: BFLOAT16, VNNI, AVX-512 (256b data path)• Memory addressability with 57b/52b Virtual/Physical Address• Updated IOD and Internal AMD Gen3 Infinity Fabric™ architecture with increased die-to-die bandwidth• Target TDP range: Up to 400W (cTDP)• Updated RAS	<p>Die-to-die connectivity diagram showing 12 CCDs arranged in a 3x4 grid. Each CCD contains 24 cores and 32MB L3 cache. The diagram highlights the Gen3 Infinity Fabric and IOD (Interconnect and On-Die) connections between the CCDs.</p>	SP5 Platform <ul style="list-style-type: none">• New socket, increased power delivery and VR• Up to 4 links of Gen3 AMD Infinity Fabric™ with speeds of up to 32Cbps• Flexible topology options• Server Controller Hub (USB, UART, SPI, I2C, etc.)
Memory <ul style="list-style-type: none">• 12 channel DDR5 with ECC up to 4800 MHz• Option for 2,4,6, 8, 10, 12 channel memory interleaving¹• RDIMM, 3DS RDIMM• Up to 2 DIMMs/channel capacity with up to 12TB in a 2 socket system (256GB 3DS RDIMMs)¹	<p>Die-to-die connectivity diagram showing 12 CCDs arranged in a 3x4 grid. Each CCD contains 24 cores and 32MB L3 cache. The diagram highlights the Gen3 Infinity Fabric and IOD (Interconnect and On-Die) connections between the CCDs.</p>	Integrated I/O – No Chipset <ul style="list-style-type: none">Up to 160 IO lanes (2P) of PCIe® Gen5• Speeds up to 32Gbps, bifurcations supported down to x1• Up to 12 bonus PCIe® Gen3 lanes in 2P config (8 lanes-1P)• Up to 32 IO lanes for SATA• 64 IO Lanes support for CXL1.1+ w/bifurcations supported down to x4
		Security Features <ul style="list-style-type: none">Dedicated Security Subsystem with enhancementsSecure Boot, Hardware Root-of-TrustSME (Secure Memory Encryption)SEV-ES (Secure Encrypted Virtualization & Register Encryption)SEV-SNP (Secure Nested Paging), AES-256-XTS with more encrypted VMs

¹With certain DIMM population rules. CD-103. AMD Infinity Guard features vary by EPYC™ processor generations. Infinity Guard security features must be enabled by server OEMs and/or Cloud Service Providers to operate. Learn more about Infinity Guard at <https://www.amd.com/en/technologies/infinity-guard>.

Ένας πολυπύρηνος (850000-cores) επεξεργαστής για deep learning

Wafer-Scale Engine (WSE) is the central processor
for Celebra's deep learning computer system



Cerebras WSE-2
2.6 Trillion Transistors
46,225 mm² Silicon



Largest GPU
54.2 Billion Transistors
826 mm² Silicon

Cerebras Wafer-Scale Engine

Fabrication process

7nm

Silicon area

46,225mm²

Transistors

2.6 Trillion

AI-optimized cores

850,000

Memory (on-chip)

40GB

Memory bandwidth

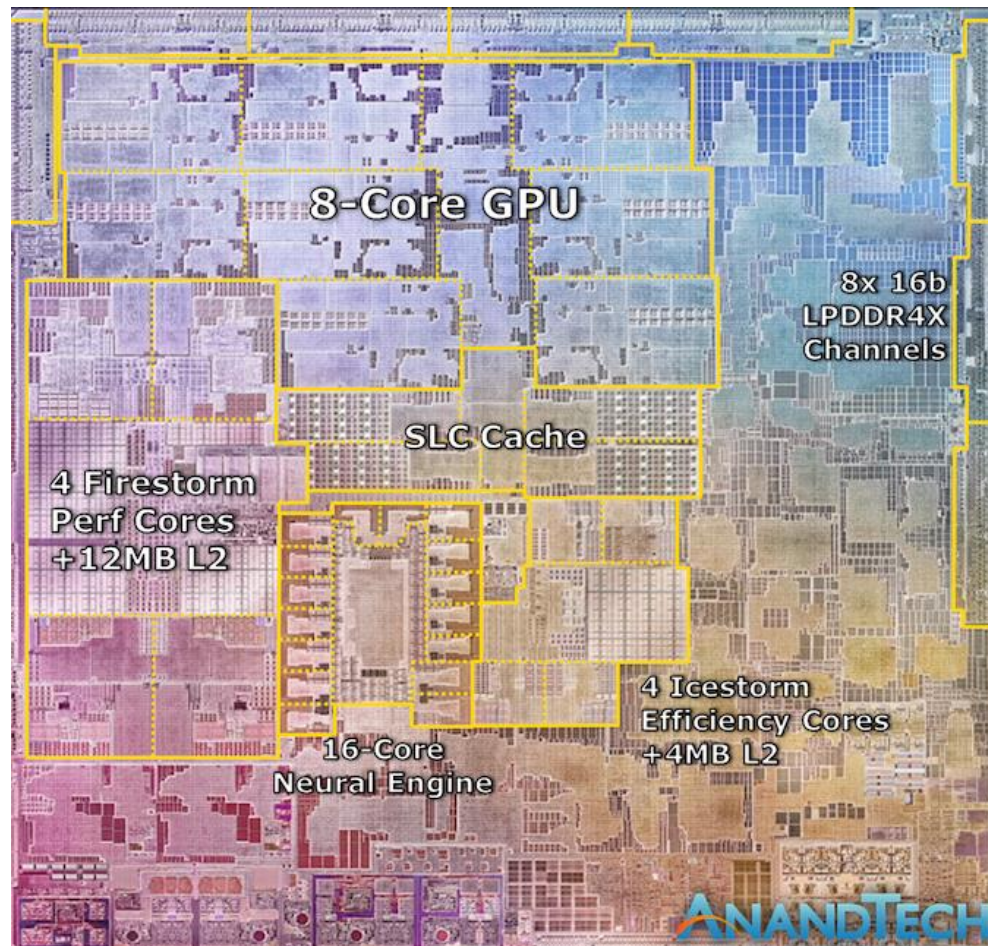
20PB/s

Fabric bandwidth

220Pb/s

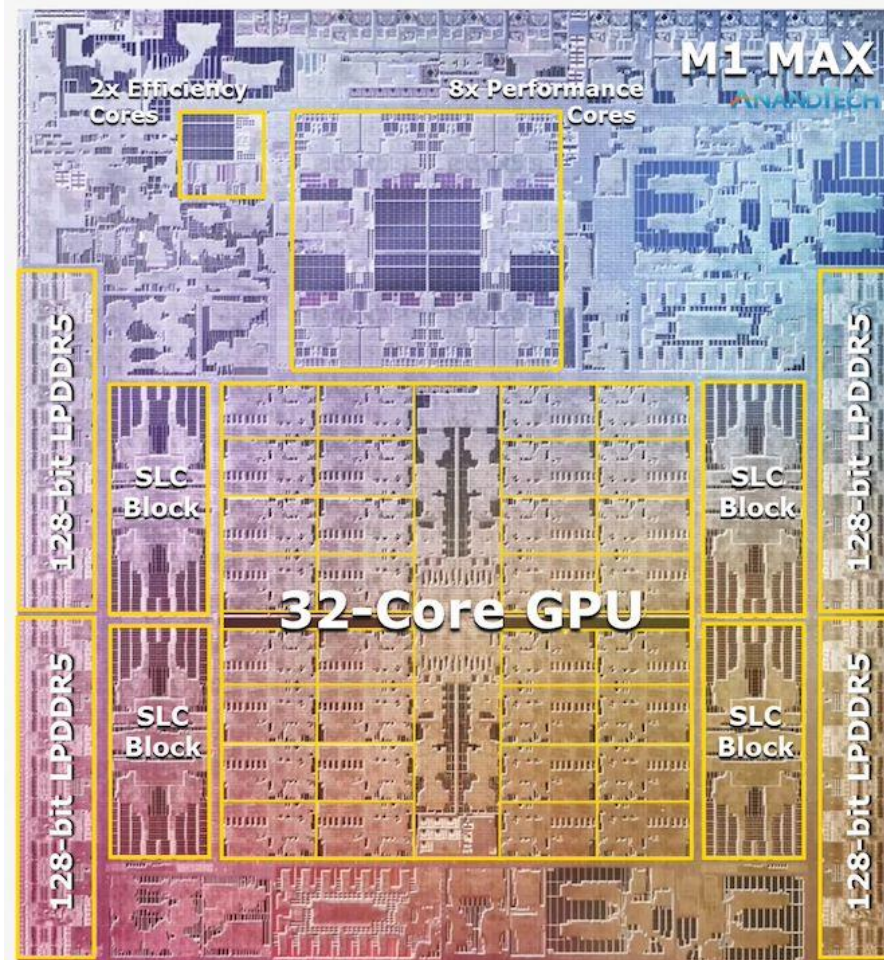
Ένας πολυπύρηνος επεξεργαστής για smartphones

Apple M1 System on Chip (2021)



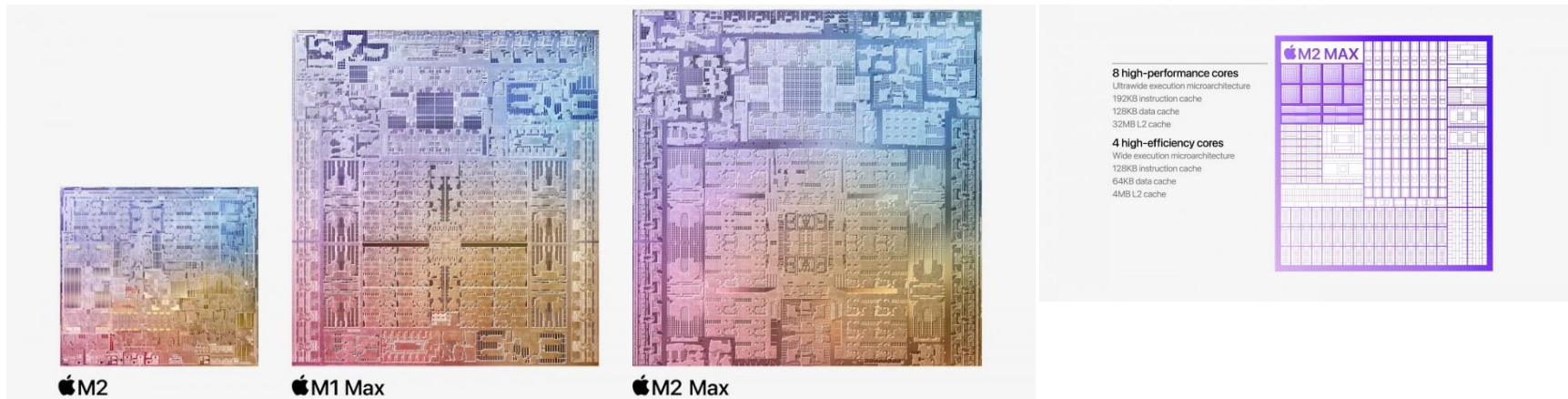
Ένας πολυπύρηνος επεξεργαστής για smartphones

Apple M1 Max System on Chip (2021)



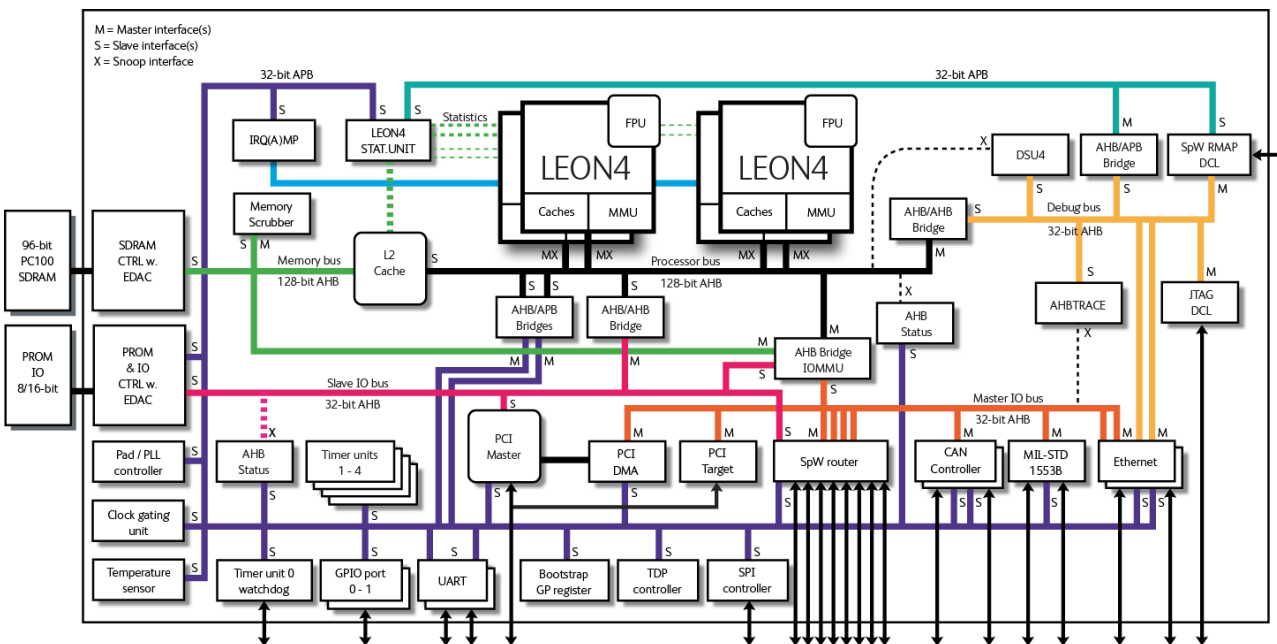
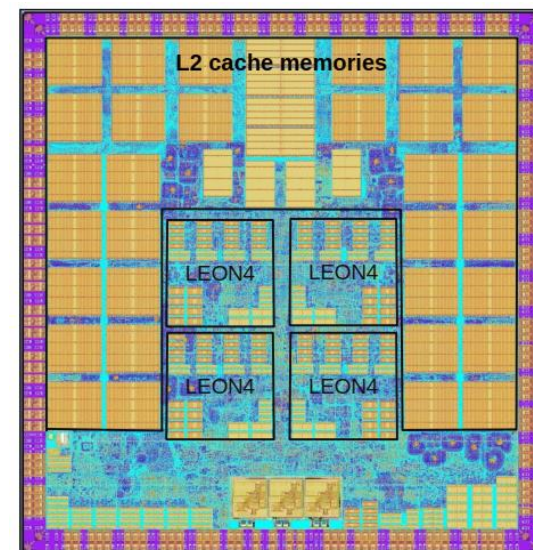
Source: <https://www.anandtech.com/show/17024/apple-m1-max-performance-review>

Πολυπύρηννοι επεξεργαστές για smartphones



Παραδείγματα System-on-Chip στο διάστημα: Institutional Missions

- GR740: Quad Core LEON4 SPARC V8 Processor
 - Rad-hard SoC που περιλαμβάνει ένα quad-core fault-tolerant LEON4 SPARC V8 processor, SpaceWire router με 8 θύρες, PCI initiator/target interface, MIL-STD-1553B, CAN 2.0, UART, SPI, 10/100/1000 Mbit Ethernet interfaces
 - QML-Q/V qual. tests completed
 - QML-Q/V approval Q4 202
- Στοχεύει σε διαστημικές εφαρμογές υψηλής απόδοσης



Παραδείγματα System-on-Chip στο διάστημα: Institutional Missions



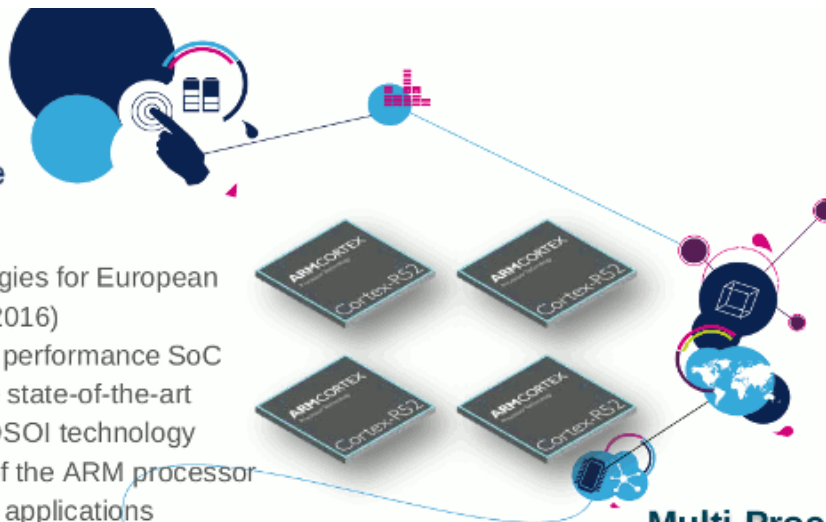
Deep sub-micron microprocessor for spAce

Context & Objectives

- H2020 project for "Critical Space Technologies for European Strategic Non-Dependence" (COMPET-1-2016)
- covers the development of a rad-hard high performance SoC with a quad-core architecture based on the state-of-the-art ARM Cortex-R52 implemented in 28nm FDSOI technology
- Beyond Space applications, the adoption of the ARM processor will enable the convergence with terrestrial applications benefiting from the strong ARM ecosystem.

7 partners from 4 countries

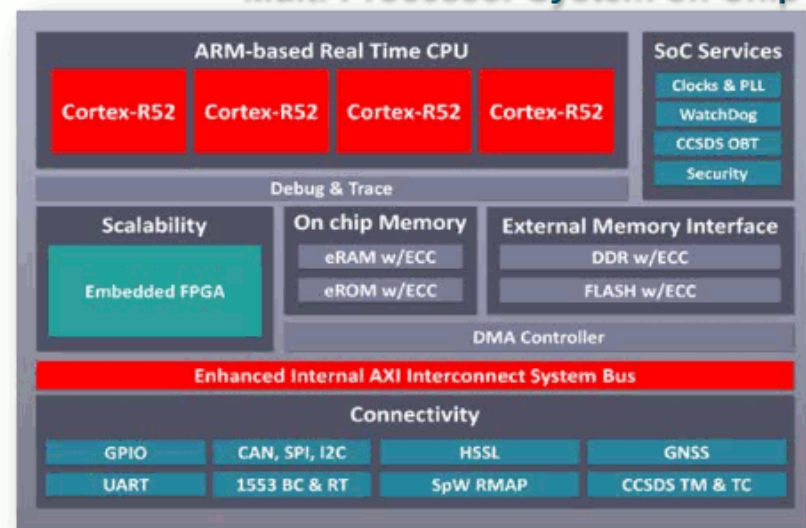
- STMicroelectronics (coordinator) France
- Airbus D&S Germany & France
- Thales Alenia Space Italy & France
- ISD Greece
- NanoXplore France



H2020 Schedule

- 2017:** Kick-off
- 2018:** FPGA prototype
- end 2019:** DAHLIA product

Multi-Processor System on Chip

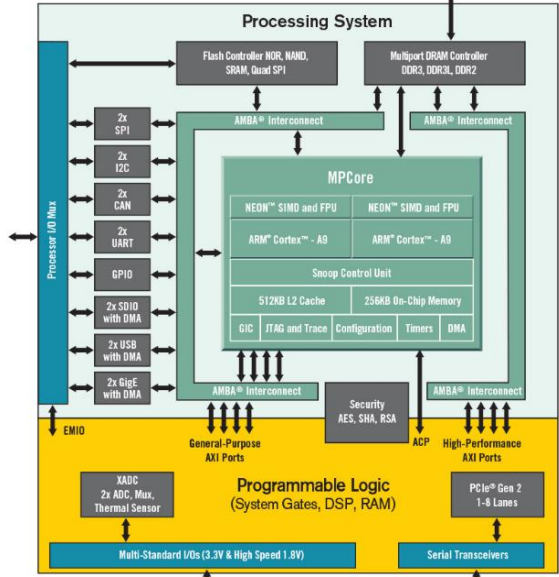


Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites

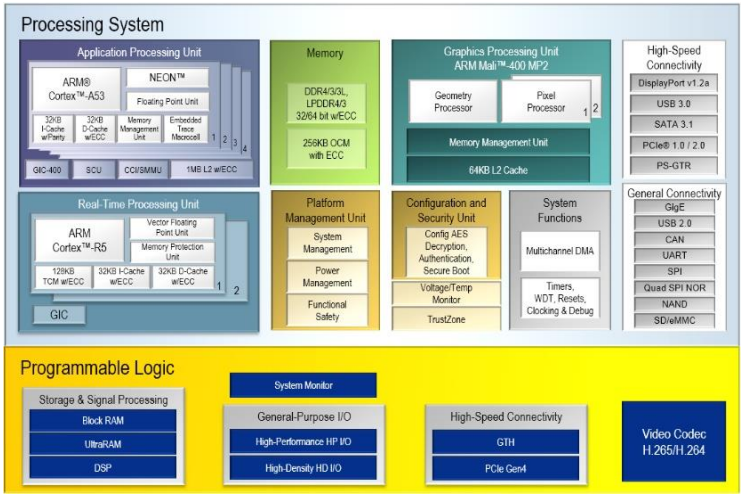
- NewSpace: Εμπορευματοποίηση του διαστήματος
 - Χρήση Commercial-Off-The-Shelf (COTS) components
 - Υψηλή απόδοση για εφαρμογές on-board payload data processing
 - Minimize time-to-market



- Field Programmable Gate Arrays (FPGAs) System-On-Chip (SoC)
 - Σήμερα υπάρχουν διαθέσιμα FPGA SoC υψηλής απόδοσης και χωρητικότητας
 - Χρησιμοποιούνται ως System-On-Programmable-Chip (SoPC) ολοκληρώνοντας όλα τα συστατικά στοιχεία

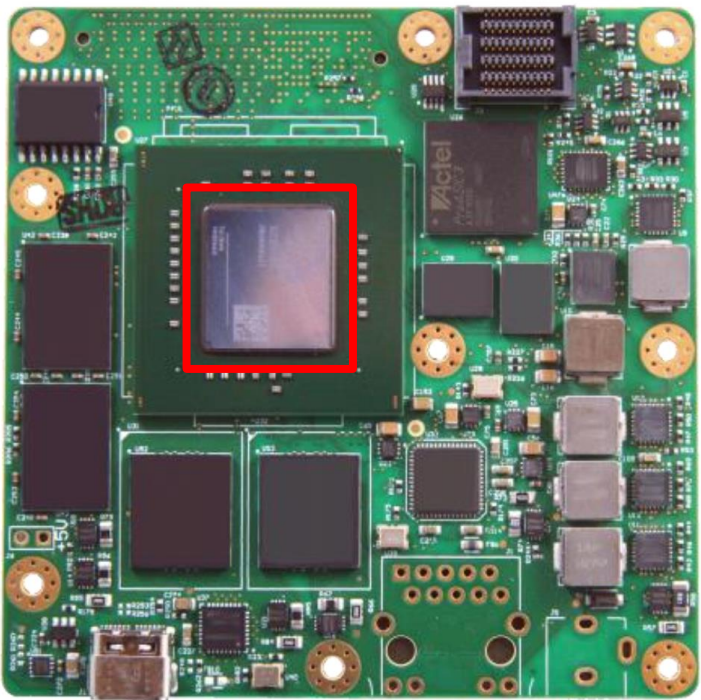
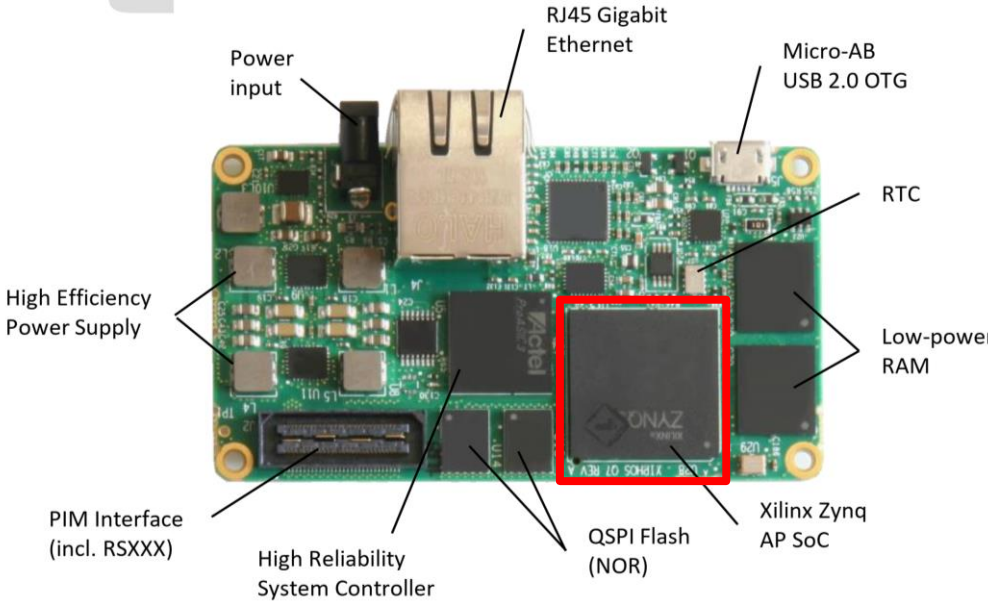


Xilinx Zynq-7000 SoC



Xilinx UltraScale+ MPSoC

Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites

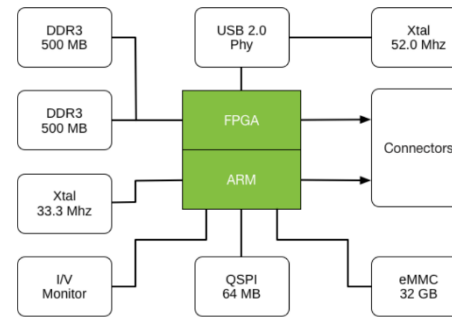
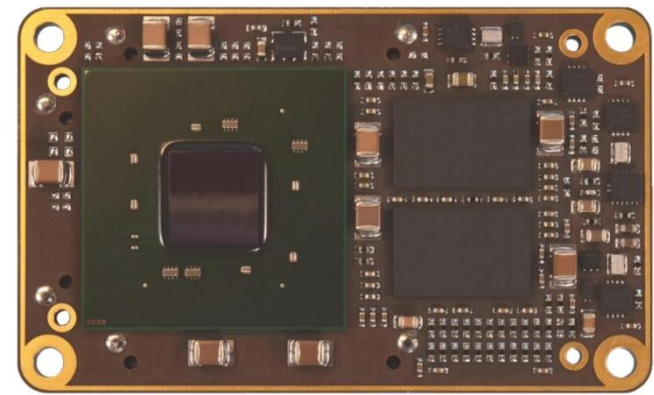


Xiphos Q7 Q-Card (Zynq-7020 FPGA SoC)
 ARM dual-core Cortex-A9 MPCore
 processors each up to 766 MHz
 Mass 24g, Power 2W, 78mm X 43mm X 9mm

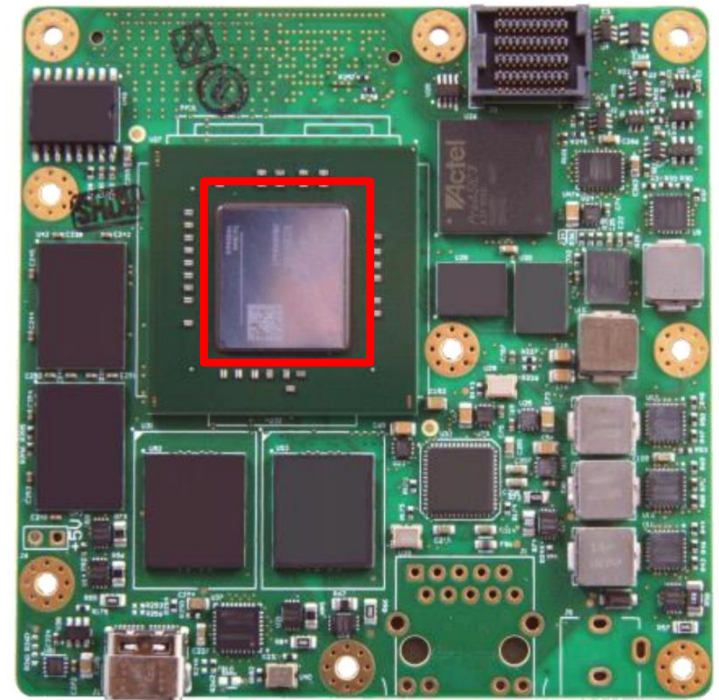
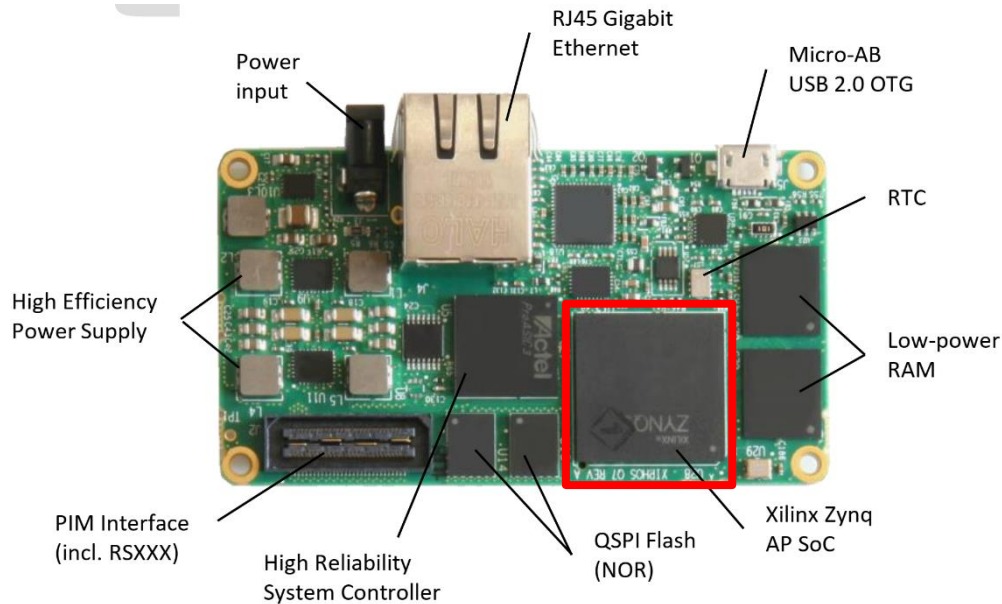
Xiphos Q8 Q-Card (Zynq UltraScale+ XCZU7EG)
 Quad-core ARM Cortex-A53 Application
 Processing Unit at up to 1.2 GHz
 Mass 64g, Power 4W, 85.8mm X 80mm X 11.2mm

OBC για CubeSats

- GomSpace NanoMind Z7000 ARM/FPGA OBC
- Fits on NanoDock SDR using standard PC104 board (9.0 cm x 9.6 cm).
- Perfect for on-board payload data processing
- Xilinx Zynq 7030 Programmable SoC
- 1 GB DDR3 RAM and 32 GB storage
- Linux operating system
- SPI, I2C, UART and CAN data interfaces
- Precision milled anodized aluminum heat sink to control thermal load and provide EMI shielding
- Dimensions 65 mm x 40 mm x 6.5 mm



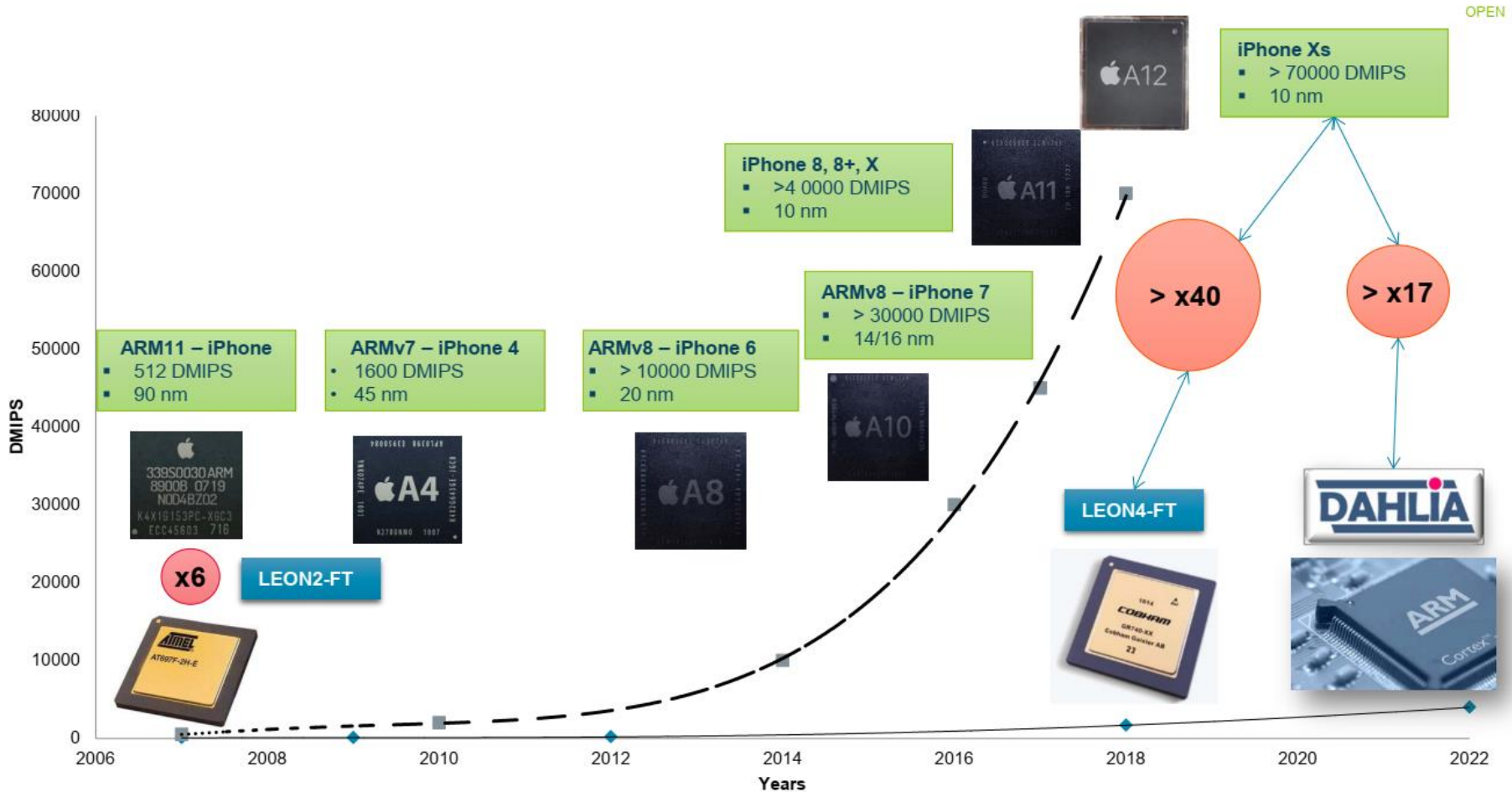
OBC για CubeSats



Xiphos Q7 Q-Card (Zynq-7020 FPGA SoC)
ARM dual-core Cortex-A9 MPCore
processors each up to 766 MHz
Mass 24g, Power 2W, 78mm X 43mm X 9mm

Xiphos Q8 Q-Card (Zynq UltraScale+ XCZU7EG)
Quad-core ARM Cortex-A53 Application
Processing Unit at up to 1.2 GHz
Mass 64g, Power 4W, 85.8mm X 80mm X 11.2mm

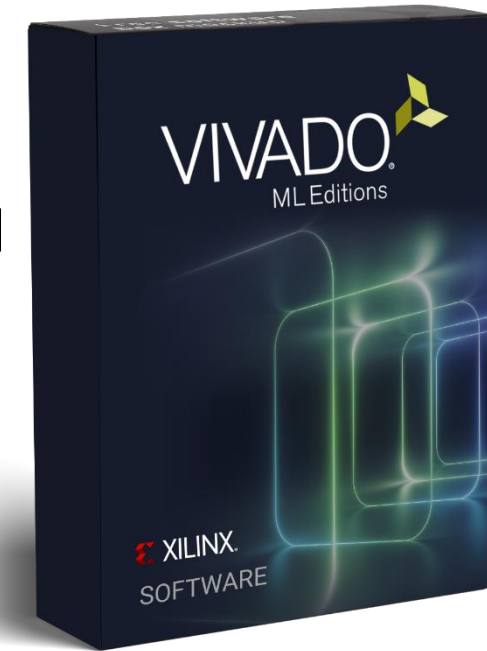
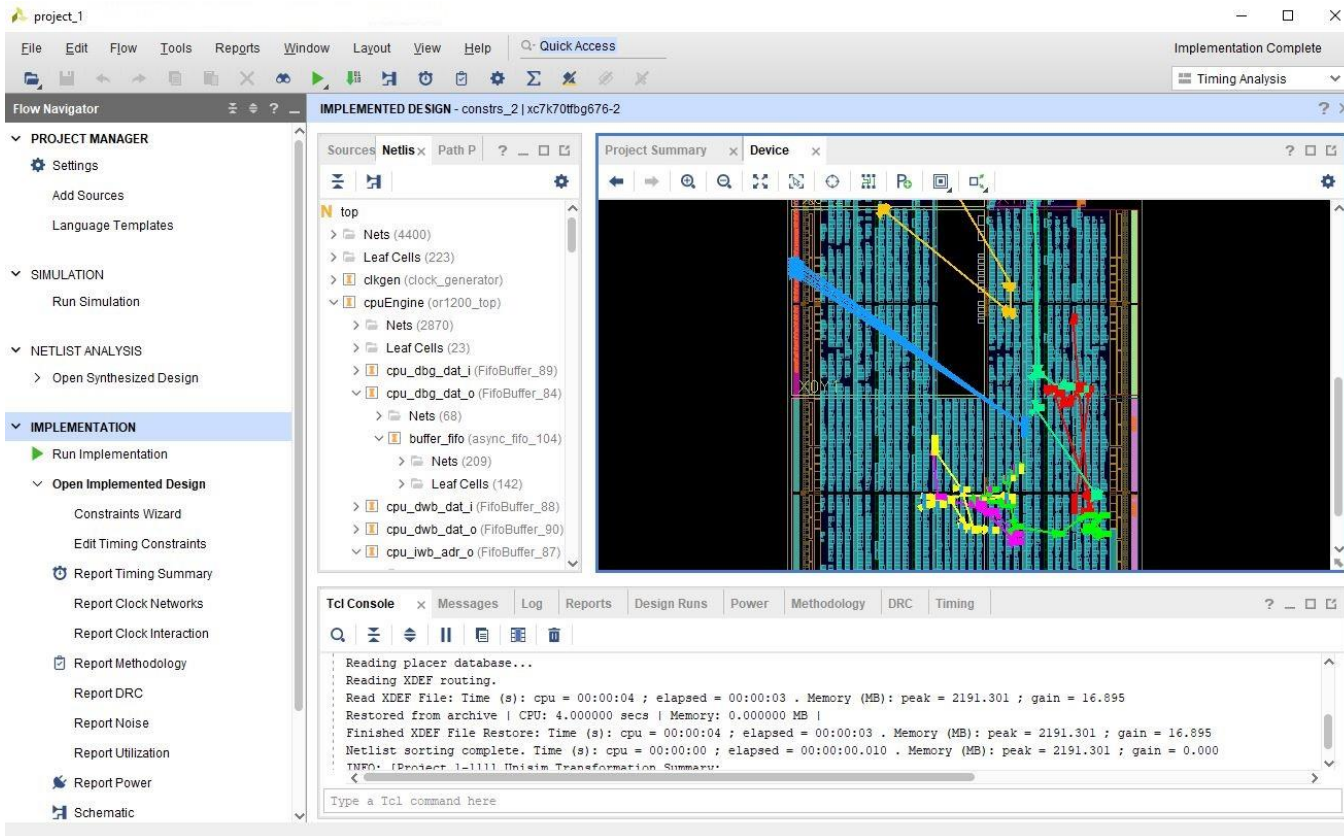
On-Board Processor SoCs: Τεχνολογικό χάσμα



Credit: ABDS

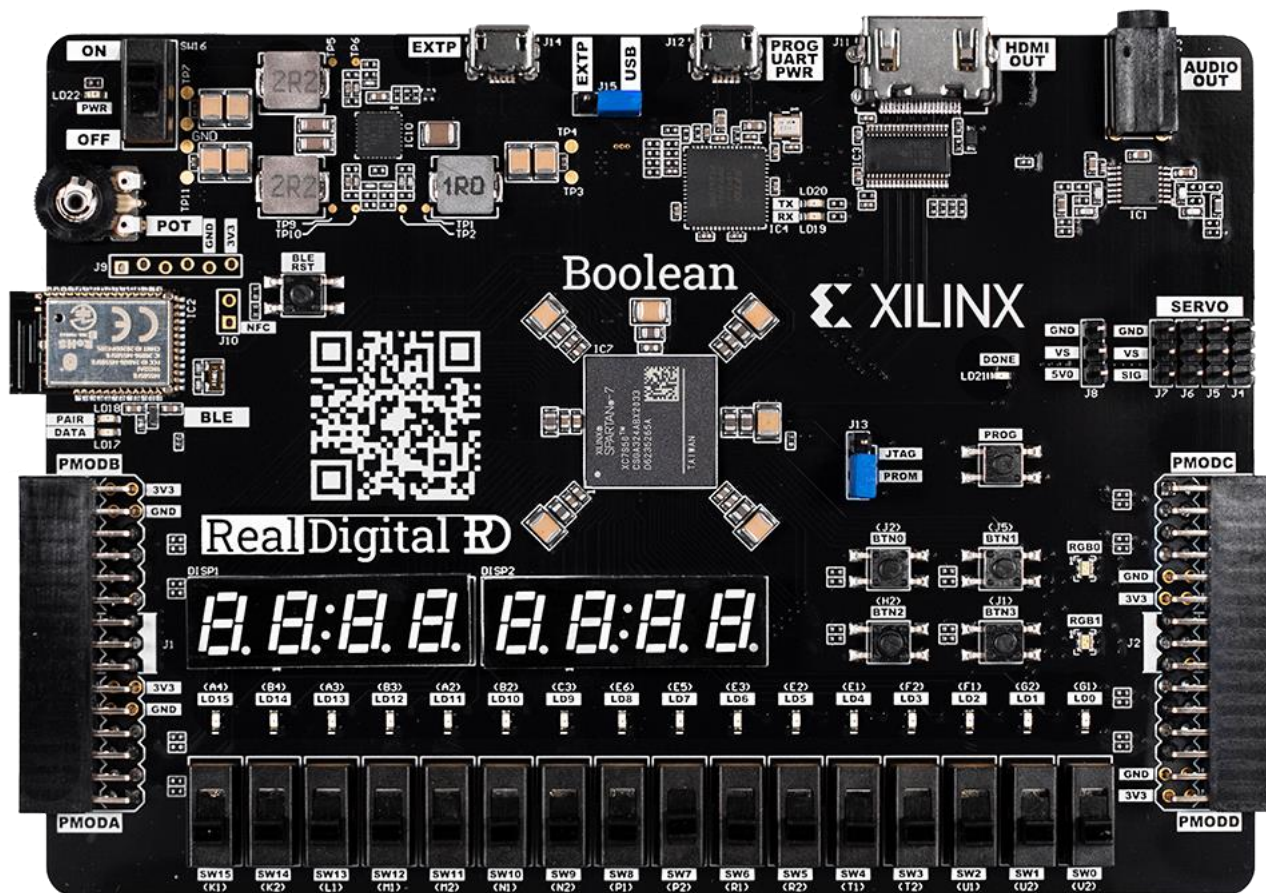
Εργαλείο Λογισμικού

- Xilinx Vivado ML
- WebPACK (Δωρεάν έκδοση)
<https://www.xilinx.com/support/download.html>



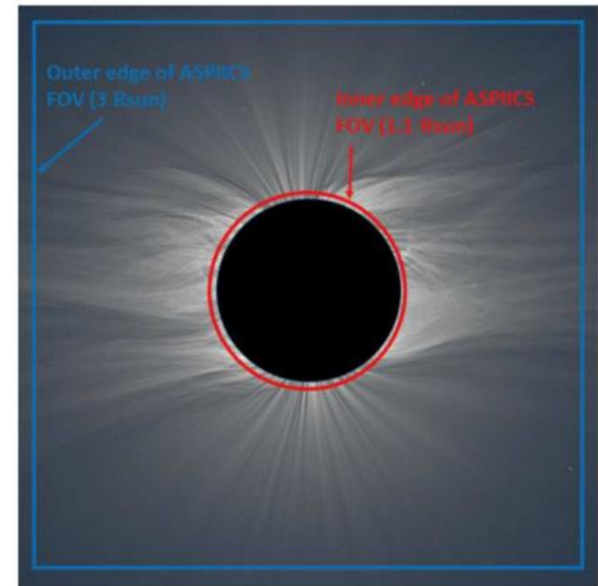
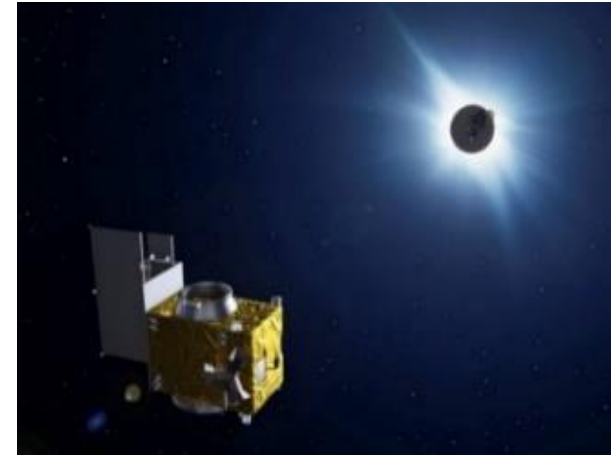
Ανάπτυξη επεξεργαστή RISC «στο σπίτι»?

- Κόστος λογισμικού: 0€ WebPACK (Δωρεάν έκδοση)
- Κόστος αναπτυξιακής κάρτας: 69€
 - Xilinx Spartan 7 XC7S50 FPGA



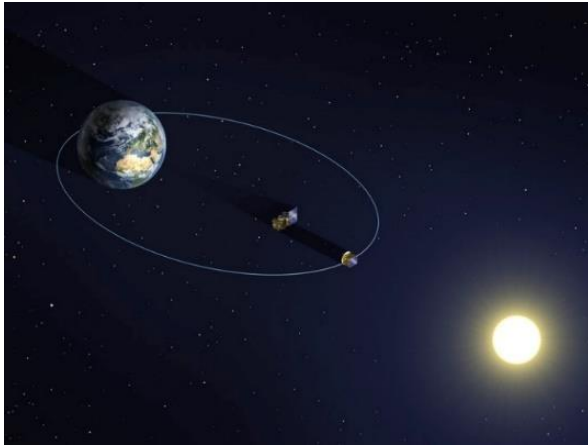
ESA Proba-3 Mission Overview

- ESA Proba-3 mission consists of two S/C, the Coronagraph and the Occulter, flying in close proximity (about 150m, accuracy few mm)
- A giant coronagraph is implemented by one satellite occulting the sun and the other satellite flying a telescope
- Mission Duration
 - Launch: 2024
 - Lifetime: >3-4 years

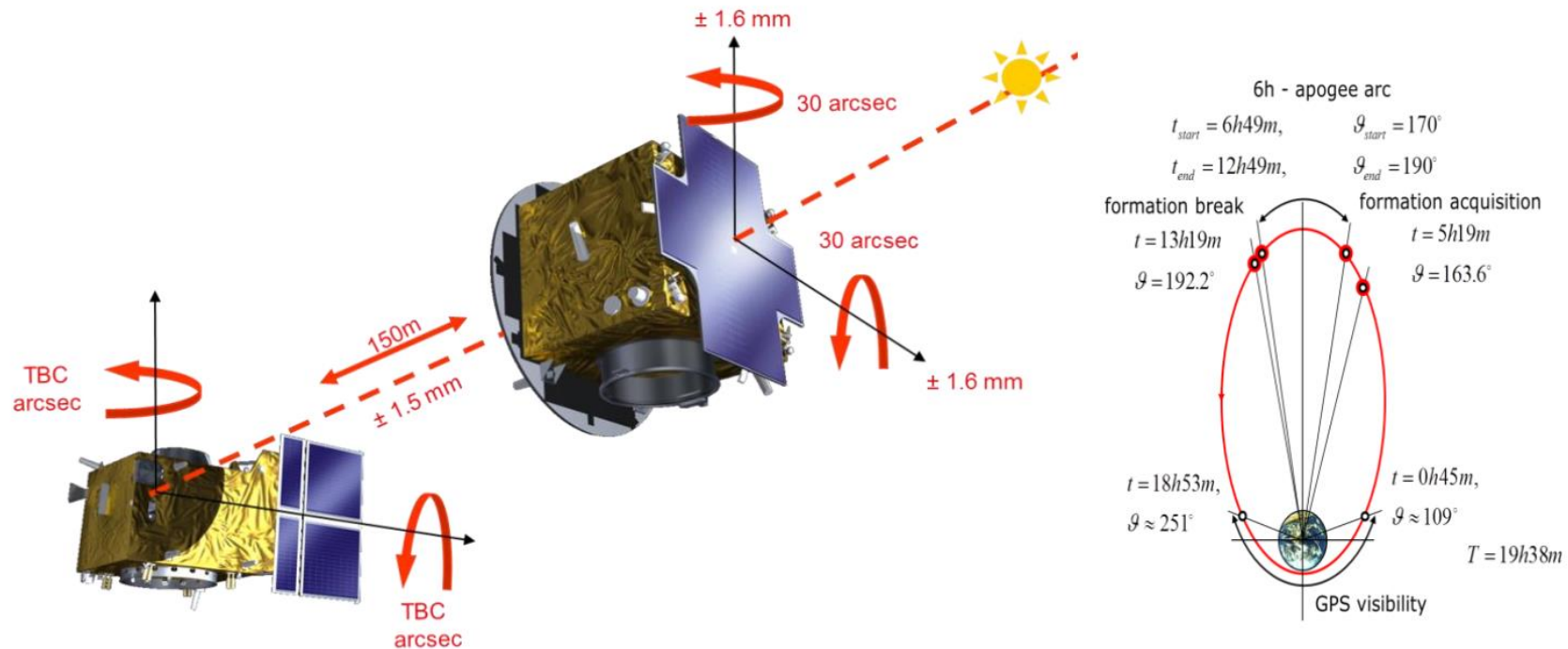


https://www.youtube.com/watch?v=Aja1XGJJ_ww&t=50s

ESA Proba-3 Mission Overview



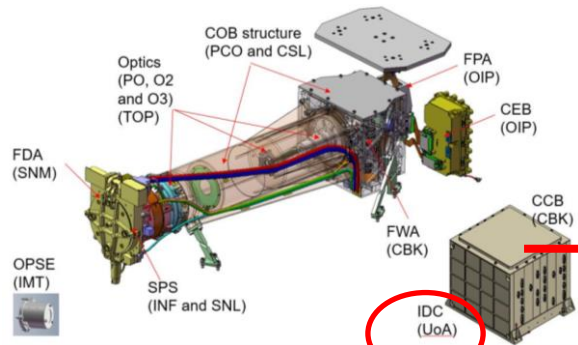
- Mission Orbit
 - Orbit type: Highly Elliptical Orbit (HEO)
600 x 60 530 km, 59° incl.
- Formation Flying maneuvers and coronagraphy measurements at apogee



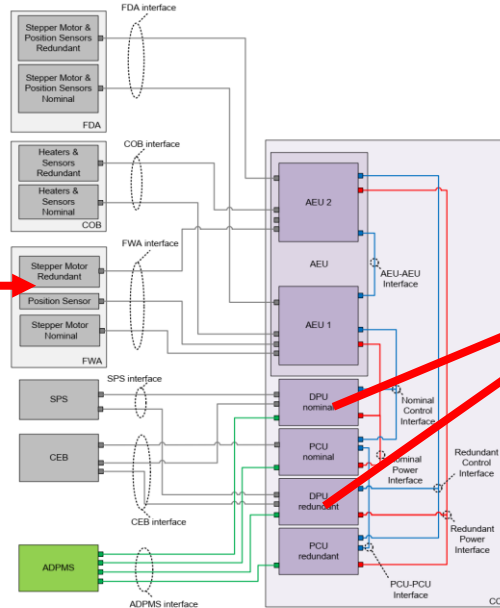
NKUA @ ESA Proba-3 Mission



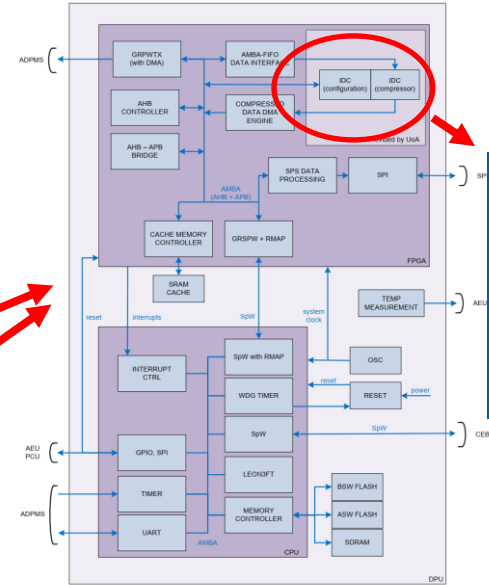
European Space Agency



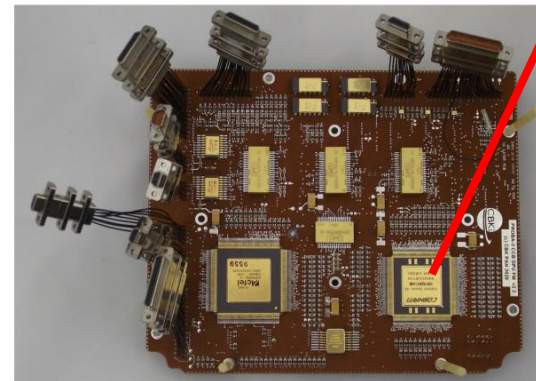
Overview of ASPIICS Coronagraph Instrument



ASPIICS CCB Architecture



ASPIICS DPU Architecture



NKUA @ ESA Proba-3 Mission

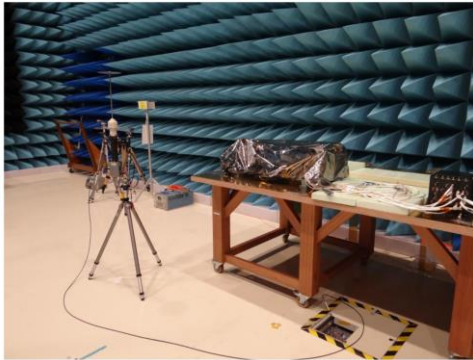


April 2020: CCB EM

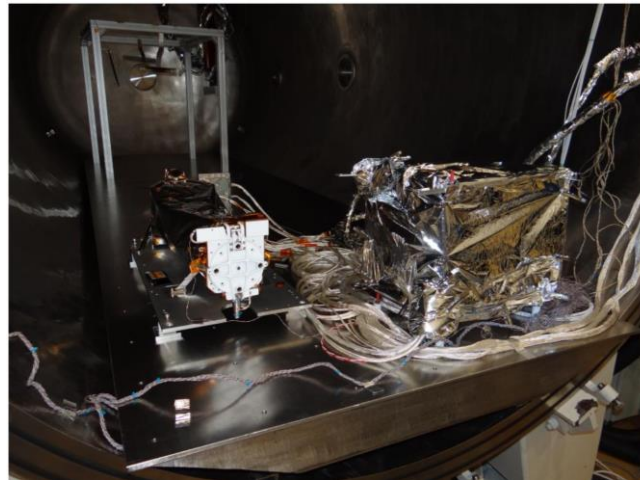


July 2021: CCB PFM

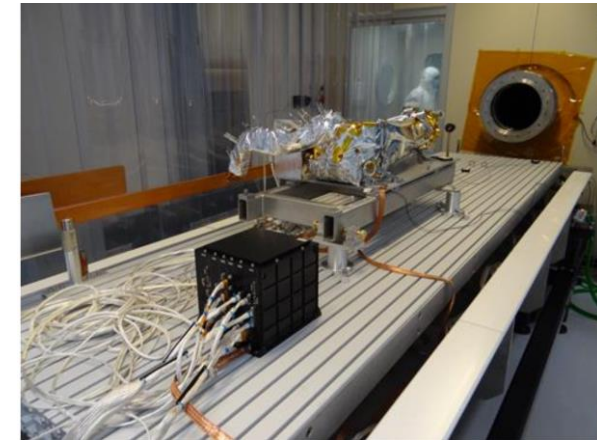
NKUA @ ESA Proba-3 Mission



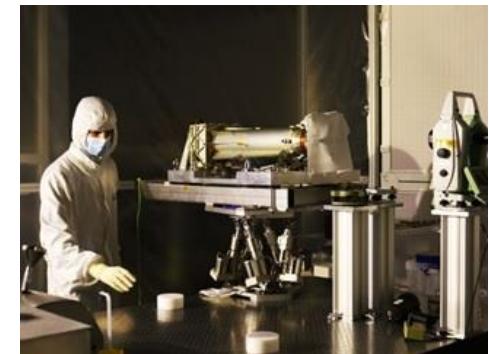
October 21
COB FM EMC test completed



October 21
TVAC test of CCB PFM connected to
COB FM and CEB PFM



November 21
Calibration of the instrument at INAF Turin



https://www.youtube.com/watch?v=Aja1XGJJ_ww

NKUA @ ESA Proba-3 Mission

- **May 2023**
- Completed integration of ESA #PROBA3 mission in Redwire (former QinetiQ Space) cleanroom in Belgium
- Spacecraft left our Redwire to go to IABG Germany for further testing



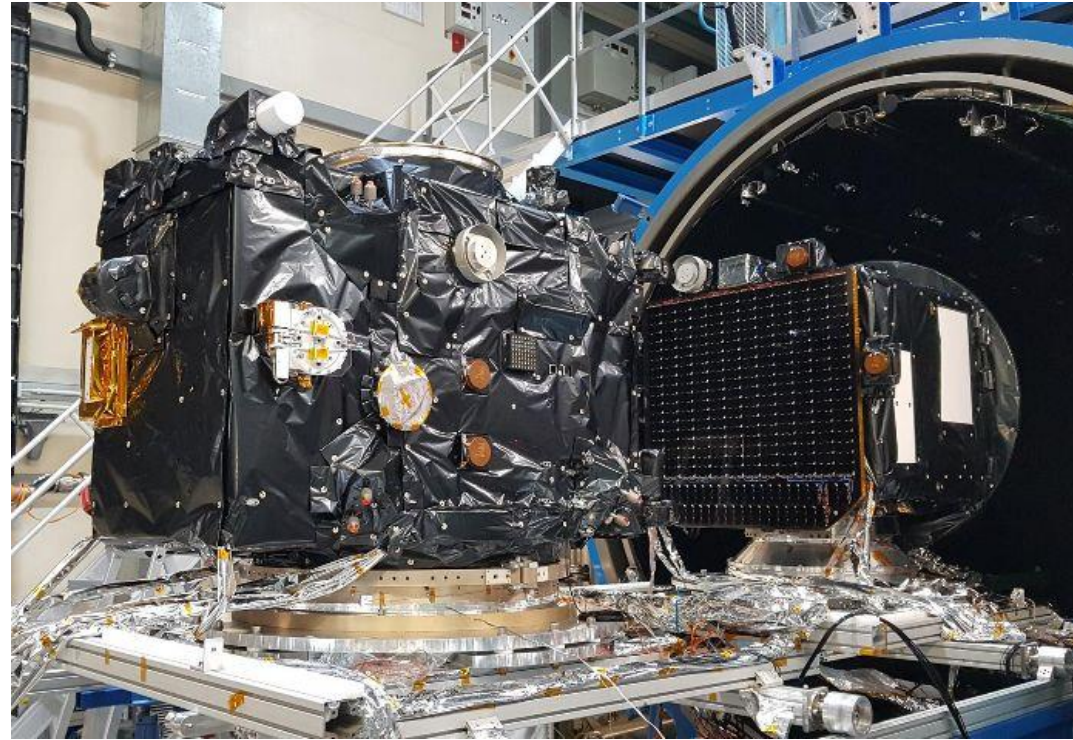
NKUA @ ESA Proba-3 Mission

- **June 23**
- Stacked Proba-3 satellites being surrounded by microphones in preparation for **acoustic testing** at IABG, simulating the noise of a launcher take-off



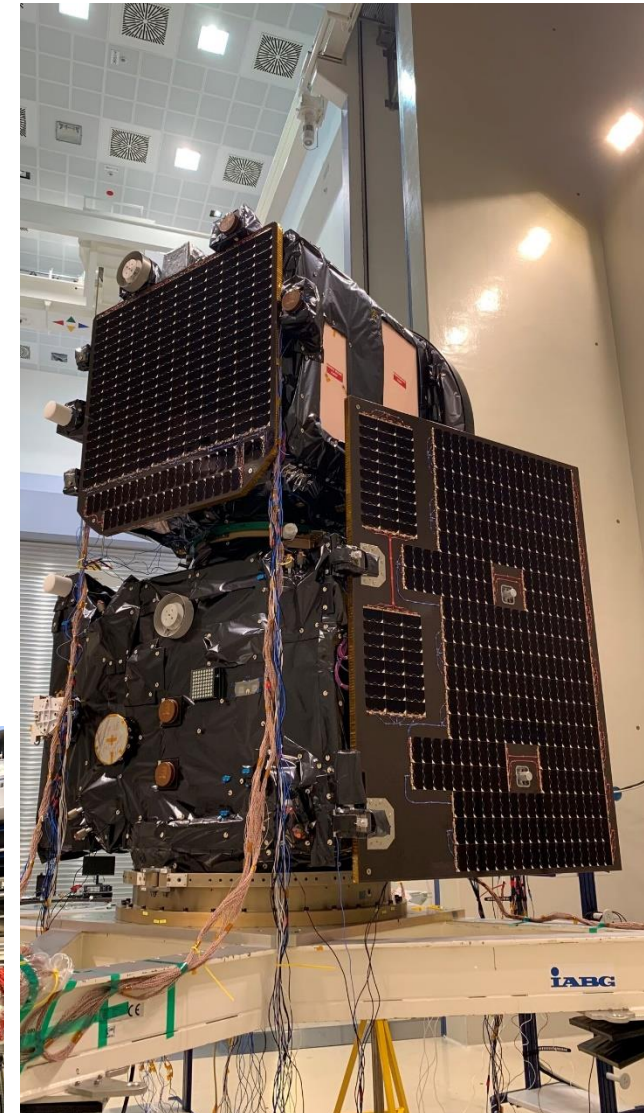
NKUA @ ESA Proba-3 Mission

- July 2023: Vibration tests passed successfully!
- Checked that the satellites can withstand the vibration and acoustic environment seen during the launch
- Checked the behaviour of the mechanisms deploying the solar panel in the CSC or separating the stack at the beginning of the mission.



NKUA @ ESA Proba-3 Mission

- August 2023: Thermal vacuum testing completed successfully!
- PROBA-3 satellites spent two weeks in IABG 3m-TVAC chamber to test the functionality of the fully integrated, separated spacecrafts under space thermal conditions at the IABG Space Test Center
- In standard operations, the satellites will be facing the sun with a high internal dissipation from the sensors and payloads. But they have also to survive long eclipse phases in a dark and cold environment with a limited number of essential units powered-on.
- Testing completed successfully; PROBA-3 one step closer to launch.



NKUA @ ESA Proba-3 Mission



Polar Satellite Launch Vehicle (PSLV)

Launch date: **2024**