

Διαχείριση μνήμης IA-32

253668-045US

Chapter 2,3,4

Λειτουργίες που υποστηρίζονται

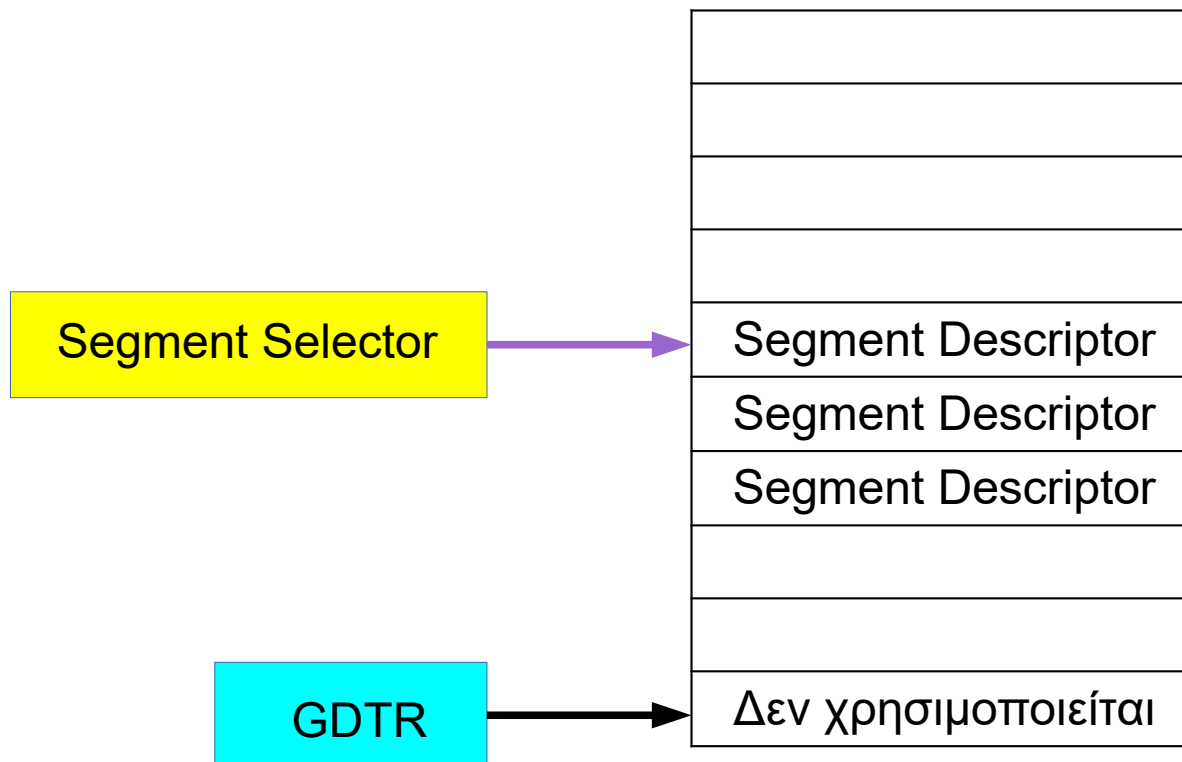
- Διαχείριση μνήμης
- Προστασία
- Πολυδιεργασία
- Εξυπηρέτηση διακοπών και εξαιρέσεων
- Πολλαπλοί επεξεργαστές
- Διαχείριση κρυφής μνήμης
- Πόροι υλικού και διαχείριση ισχύος
- Εκσφαλμάτωση και μετρητές παρακολούθησης επιδόσεων

Segment Descriptor Tables

- Η πρόσβαση στη μνήμη γίνεται με segments
- Η διεύθυνση ενός byte είναι segment selector: offset
- Segment selector (segment register) δείκτης σε ένα στοιχείο του segment descriptor table
- Πληροφορίες που περιέχει ο segment descriptor
 - Αρχική διεύθυνση (segment base)
 - Δικαιώματα πρόσβασης
 - Type
 - Usage
- Διεύθυνση Segment base + offset
- Πρόσβαση σε Code, Data, Stack (Current Privilege Level)

Global Descriptor Table (GDT)

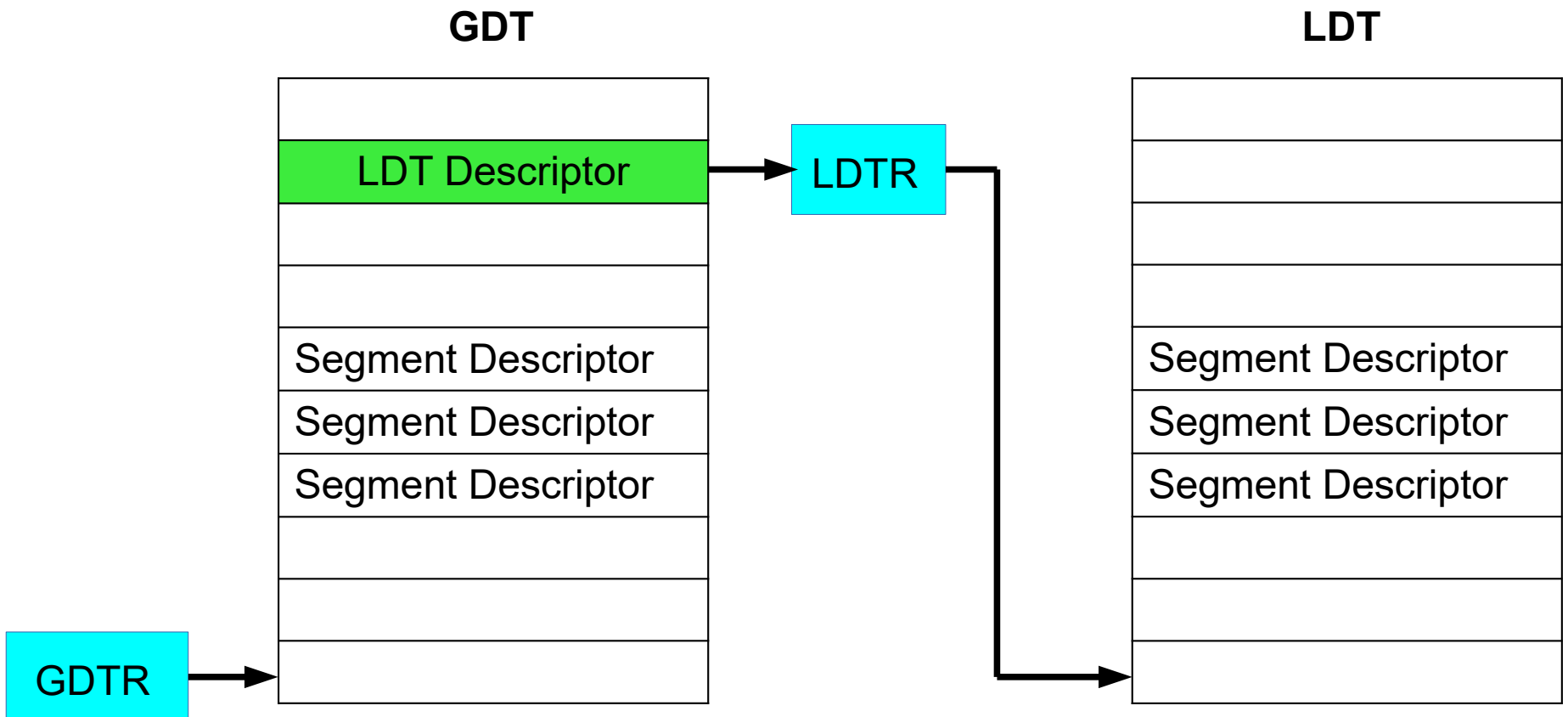
- Πίνακας που περιέχει descriptors για όλα τα segments
- Η αρχική διεύθυνση βρίσκεται στον καταχωρητή Global Descriptor Table Register
- Δεν είναι segment



Local Descriptor Table (LDT)

Προαιρετικός

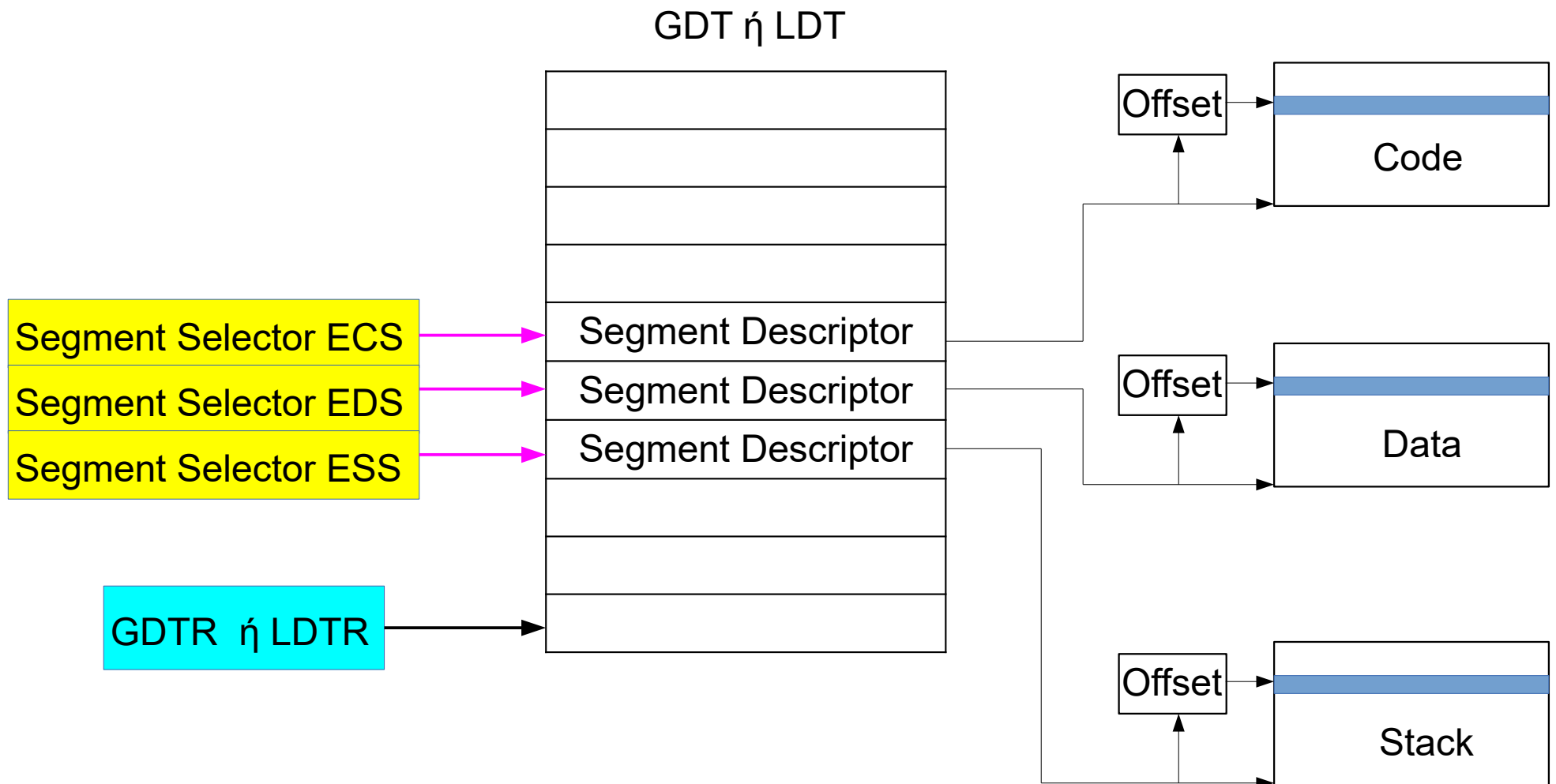
- Όμοια δομή με το GDT
- Θεωρείται segment
- Μπορεί να υπάρχουν πολλοί



Πρόσβαση μνήμης IA-32

- Για κώδικα (CS) , δεδομένα (DS) , στοίβα (SS)
- Segment selector : offset
 - Segment descriptor από GDT ή LDT (εξαρτάται από ένα FLAG)
 - Αρχική διεύθυνση (segment base)
 - Διεύθυνση μνήμης = segment base + offset
 - Αν το επίπεδο προνομίων (CPL) το επιτρέπει

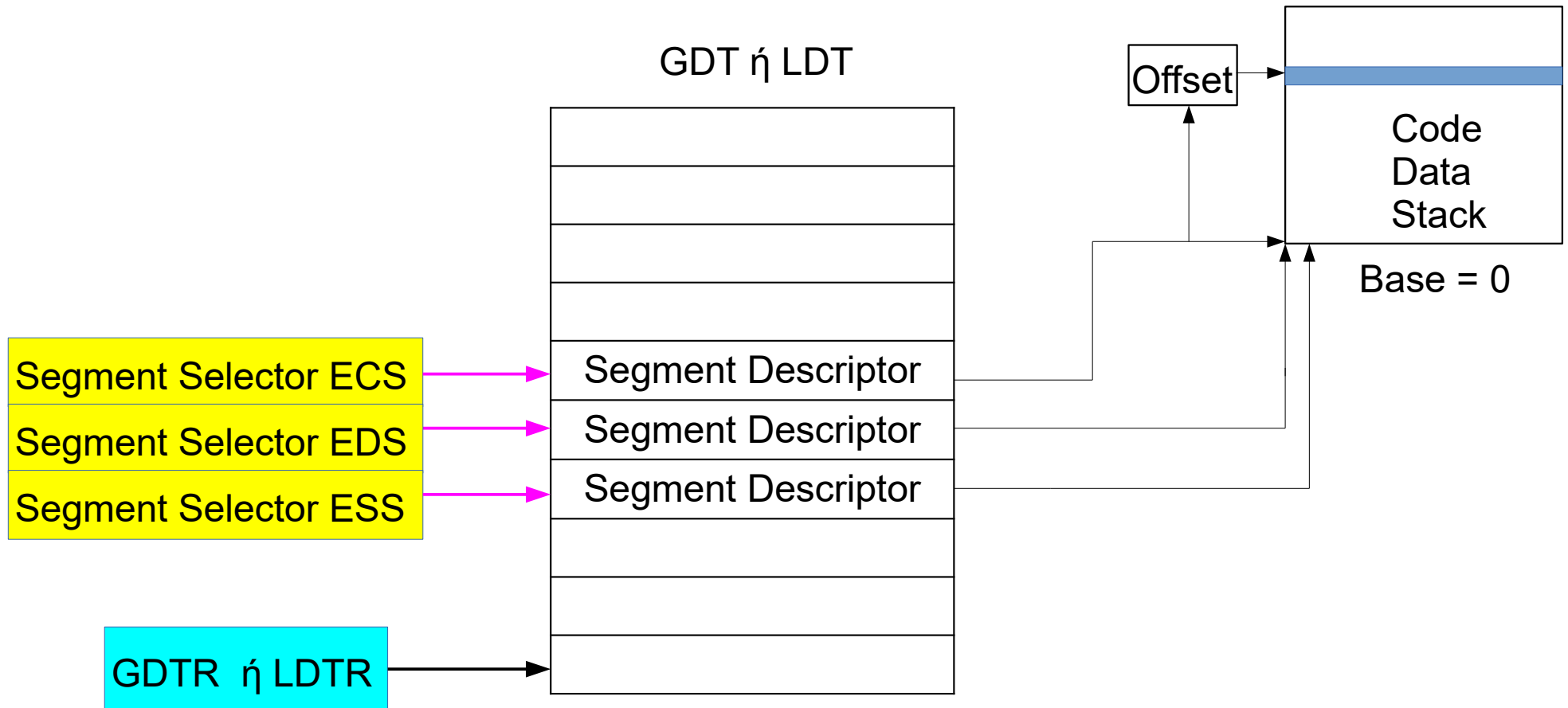
Πρόσβαση μνήμης IA-32



IA-32e

- GDTR , LDTR : 64 bit σε 64 bit και compatibility mode
- GDT , LDT
 - 64 bit σε 64 bit mode
 - 32 bit σε compatibility mode

Πρόσβαση μνήμης IA-32e



- System Segments
 - Local **D**escriptor **T**able
 - **T**ask **S**tate **S**egment
 - Έχουν Segment descriptors που βρίσκονται στον GDT

- Gates
 - Call Gates
 - Interrupt Gates
 - Trap Gates
 - Task Gates

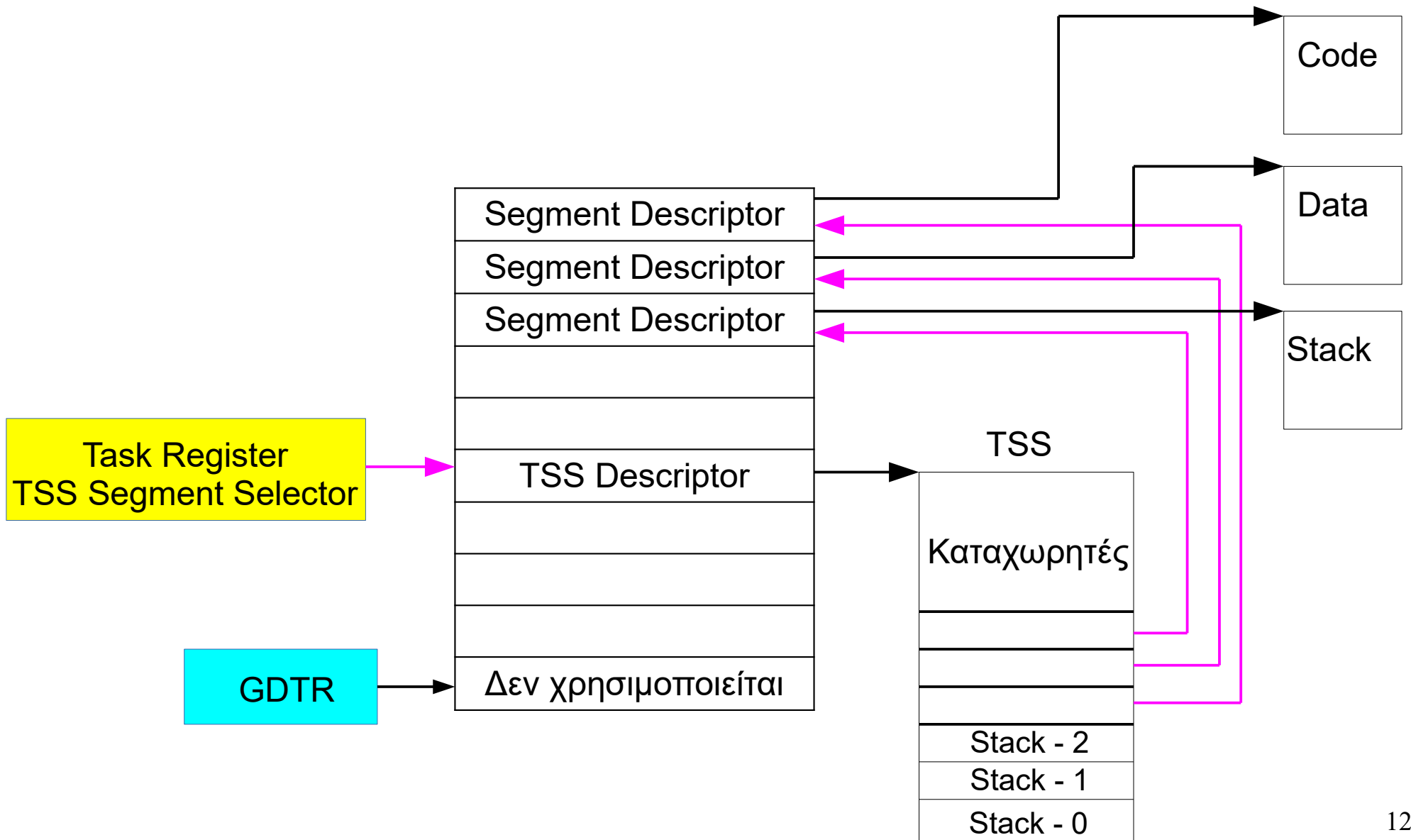
Ο επεξεργαστής συγκρίνει το επίπεδο προνομίων του προγράμματος που τρέχει (CPL - code segment) με το επίπεδο προνομίων της πύλης (gate)

Task State Segment IA-32

- Καταχωρητές γενικής χρήσης
- Segment registers
- EFLAGS , EIP
- Segment selectors για στοίβα κάθε επιπέδου προνομίων
- LDT Segment selector

- Αρχική διεύθυνση δομής σελίδων

Task Register : Περιέχει ένα segment selector για τον TSS της τρέχουσας διεργασίας



Αλλαγή διεργασίας (Task Switching) 32bit

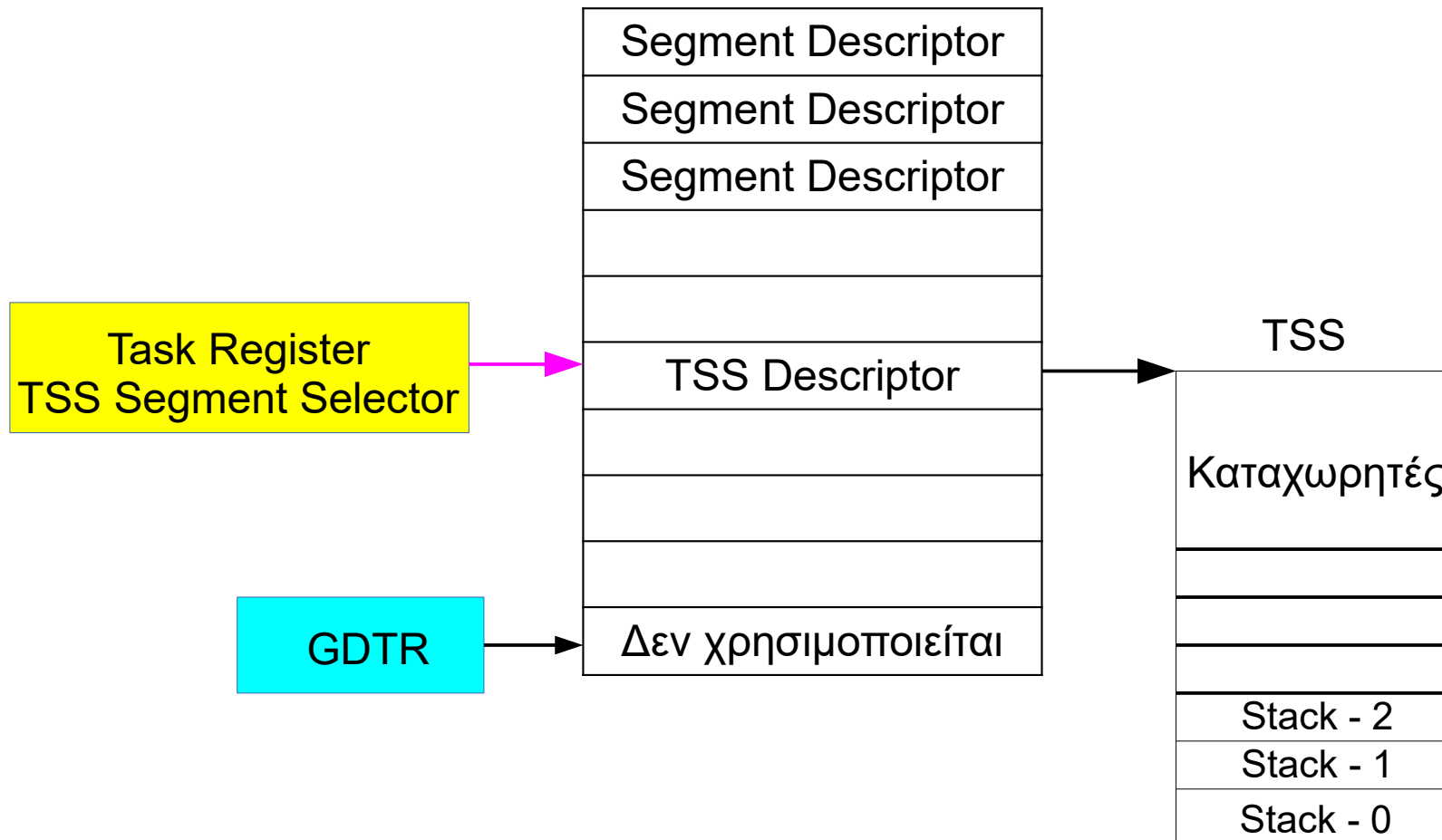
- Αποθηκεύεται η κατάσταση της παρούσας εργασίας στο TSS
- Φορτώνεται στον Task Register ο segment selector της νέας διεργασίας
- Ο segment descriptor απο το GDT δείχνει στο TSS της νέας διεργασίας
- Μεταφέρεται η κατάσταση της νέας διεργασίας στους καταχωρητές
 - Καταχωρητές γενικής χρήσης, καταχωρητές Segment, EFLAGS, EIP, LTDR και CR3 (για τη δομή σελίδων)
- Αρχίζει η εκτέλεση της νέας διεργασίας

Task gate : Όπως και η call gate αλλά αντί για νέο code segment επιλέγεται νέο TSS

Task State Segment IA-32e

- Δεν υποστηρίζεται αλλαγή διεργασίας μέσω υλικού
- Το TSS υπάρχει όπως και στα 32 bits. Η αρχική διεύθυνσή του υπάρχει στο αντίστοιχο descriptor. Περιέχει :
 - Stack pointer για κάθε επίπεδο προνομίων
 - Δείκτες στο πίνακα Interrupt stack Table (IST)
 - Διεύθυνση (offset) του χάρτη αδειών πρόσβασης σε I/O ports
- Ο καταχωρητής TR είναι 64- bit

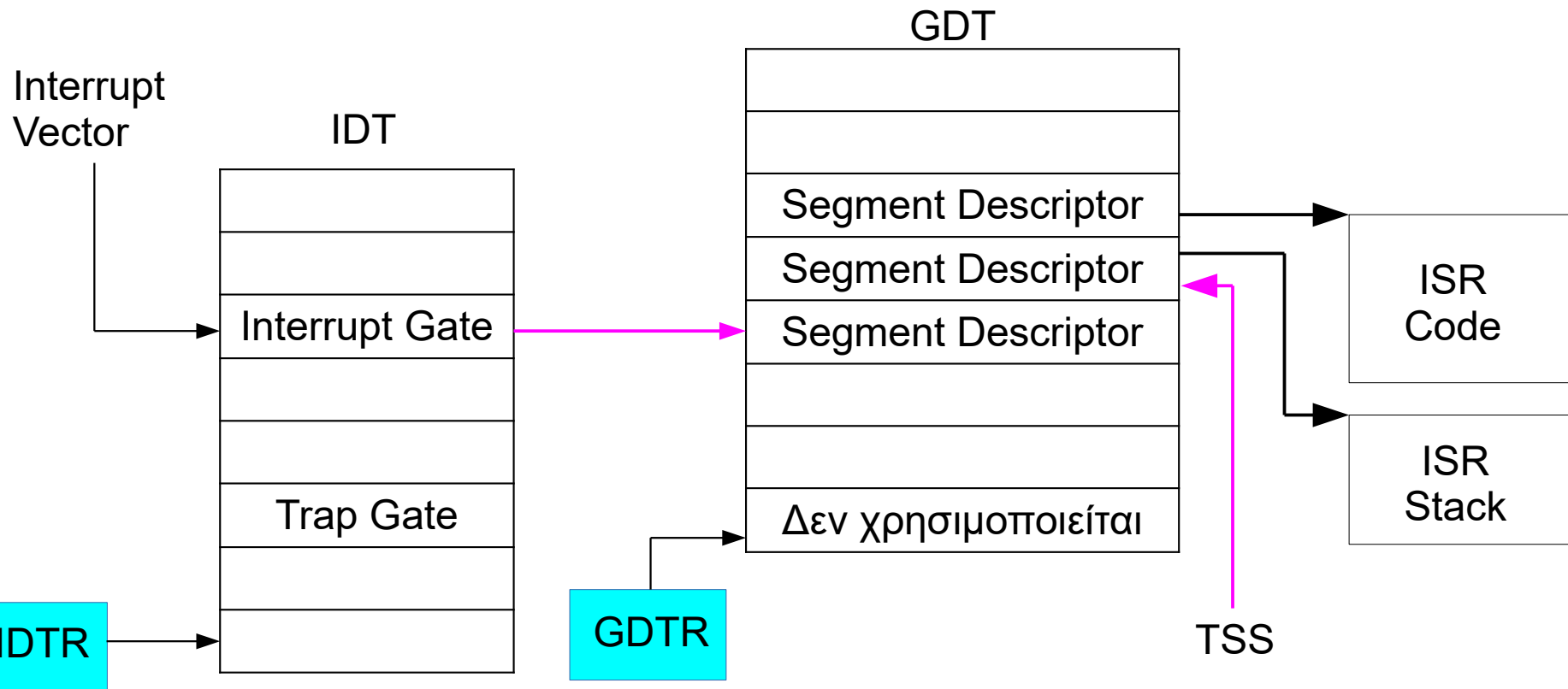
Task State Segment IA-32e



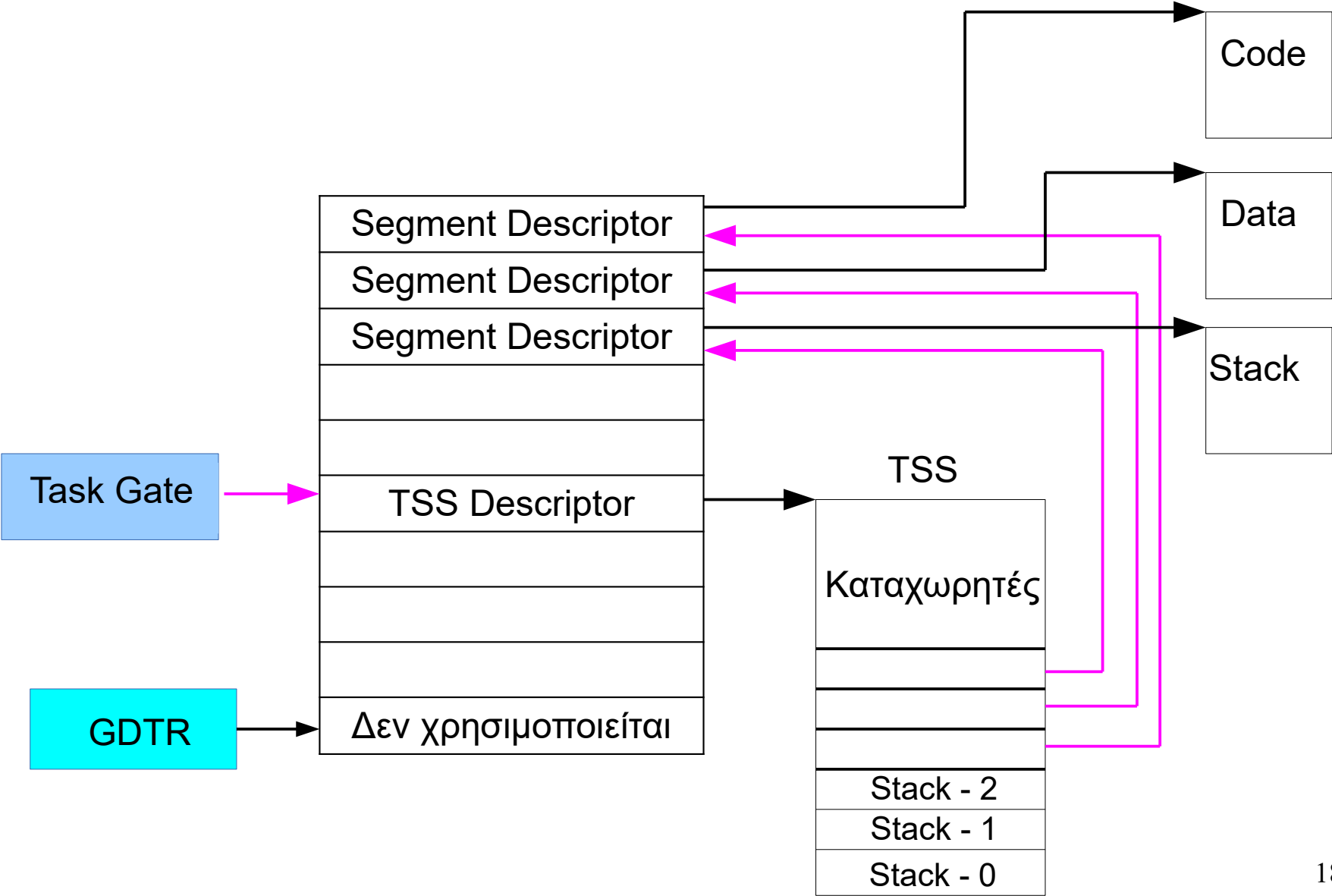
Διακοπές και εξαιρέσεις 32-bit

- Εξυπηρέτηση διακοπών μέσω του **Interrupt Descriptor Table**
- Όπως και ο GDT δεν θεωρείται segment (δεν υπάρχει segment descriptor)
- Η αρχική διεύθυνση υπάρχει στον **Interrupt Descriptor Table Register**
- Τα στοιχεία του πίνακα ονομάζονται Gate Descriptors και μπορεί να είναι Interrupt Gates , Trap Gates ή Task Gates
- Το Interrupt Vector (Interrupt Number) είναι ένας δείκτης στο IDT
- Αν ο descriptor είναι Interrupt ή Trap καλείται ή αντίστοιχη ISR
- Αν είναι Task Gate ενεργοποιείται η διαδικασία αλλαγής διεργασίας

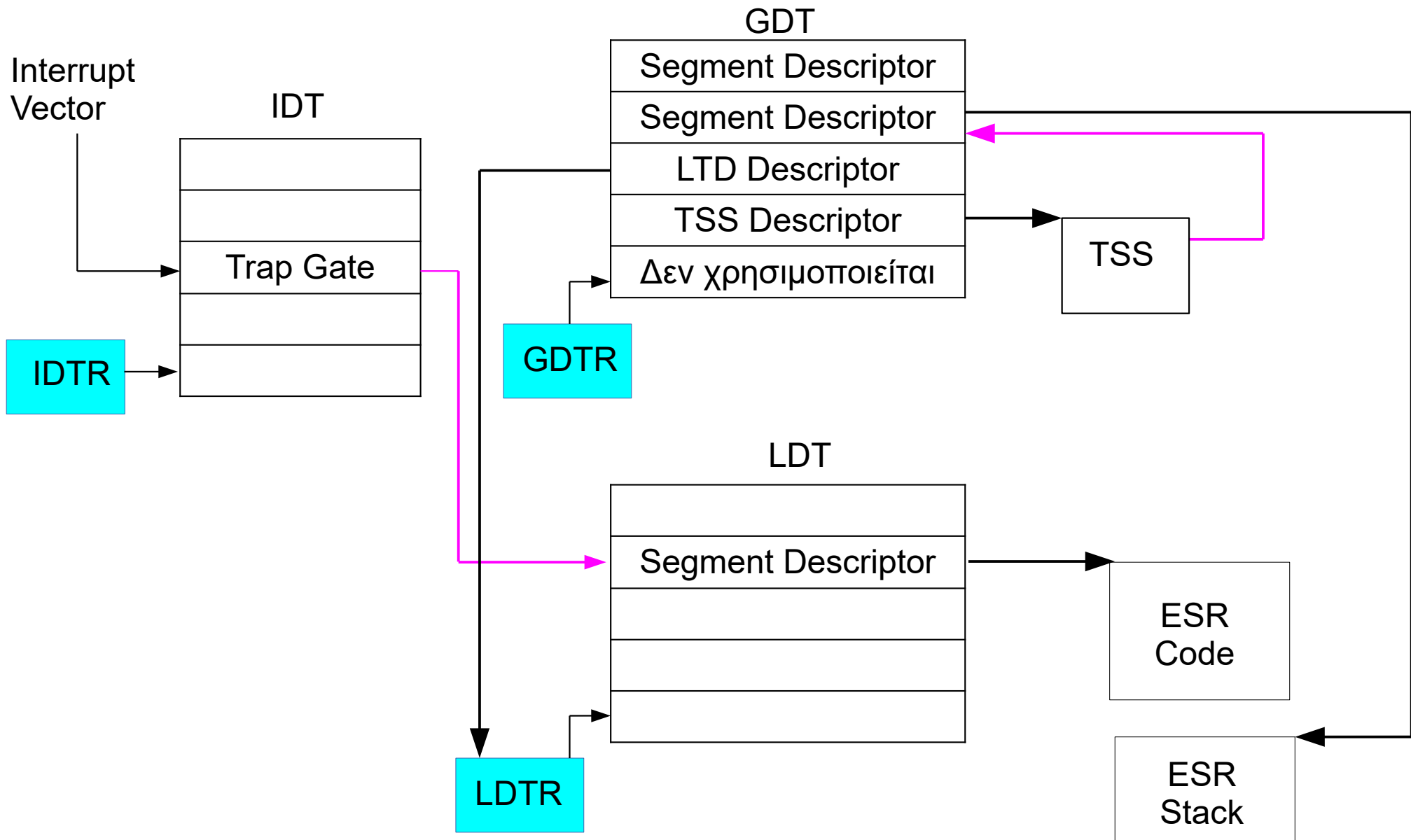
Interrupts IA-32



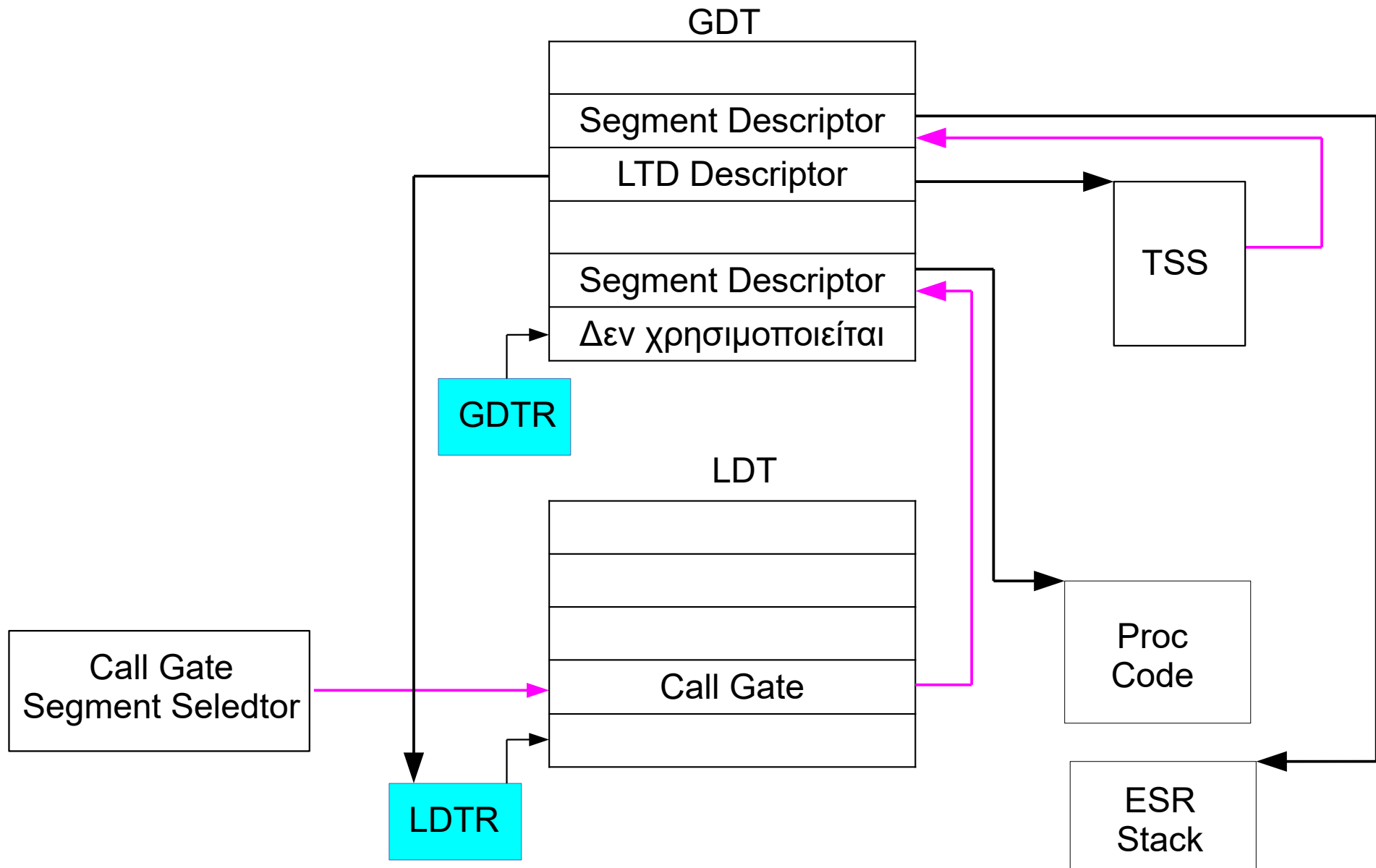
Task Gate IA-32



Trap Gate IA-32



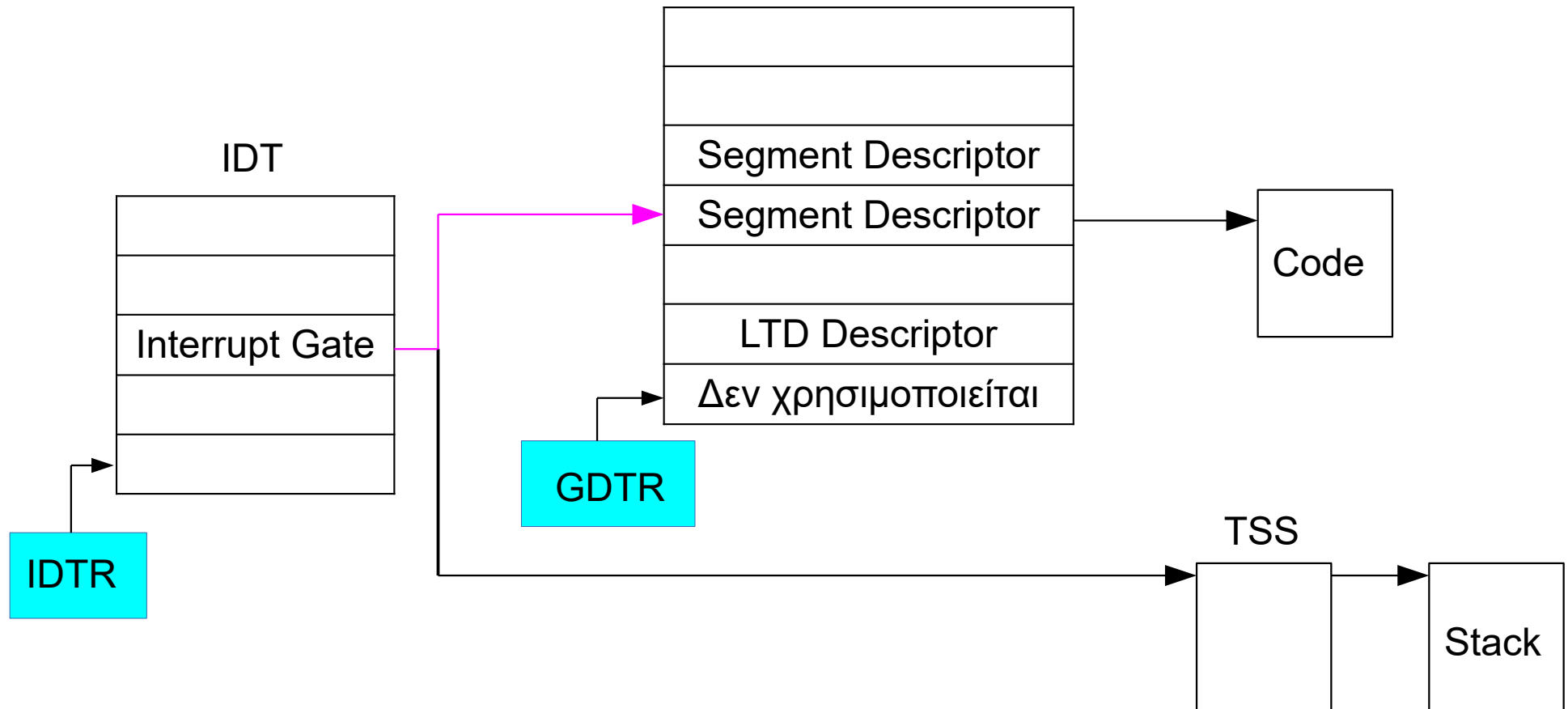
Call Gate IA-32



Διακοπές και εξαιρέσεις IA-32e 64-bit

- Τα interrupt Descriptors είναι 16 bytes
- Δεν υποστηρίζονται Task Gates

Διακοπές και εξαιρέσεις IA-32e 64-bit



Διαχείριση μνήμης IA-32

- Η πρόσβαση στη μνήμη μπορεί να γίνει απευθείας (η γραμμική διεύθυνση ταυτίζεται με τη φυσική διεύθυνση) ή μέσω εικονικής μνήμης (virtual memory)
- Για την υλοποίηση της εικονικής μνήμης χρησιμοποιούνται σελίδες. Οι σελίδες έχουν σταθερό μέγεθος.
- Ο κώδικας, τα δεδομένα, η στοίβα και τα system segments (GDT, IDT) μπορούν να βρίσκονται στη περιφερειακή μνήμη (δίσκος) και μόνο τα πιο πρόσφατα χρησιμοποιημένα να είναι στη μνήμη.
- Η θέση των σελίδων στη φυσική μνήμη (page frames) περιέχεται σε μια δομή που περιέχει την ιεραρχική οργάνωση των σελίδων η οποία βρίσκεται στη φυσική μνήμη και η αρχική της διεύθυνση υπάρχει στο καταχωρητή CR3
- Στη σελιδοποίηση μια διεύθυνση μνήμης χωρίζεται σε κομμάτια που είναι δείκτες στις δομές των σελίδων. Μπορούν να υπάρχουν πολλές δομές σελίδων.

Διαχείριση μνήμης IA-32e

Λειτουργίες 64-bit και συμβατότητας (compatibility)

- Page map level 4 (PML4). Τα στοιχεία του πίνακα περιέχουν
 - Την αρχική διεύθυνση ενός πίνακα δεικτών σε καταλόγους σελίδων
 - Δικαιώματα πρόσβασης
 - Πληροφορίες διαχείρισης
 - Η αρχική διεύθυνση του πίνακα υπάρχει στον CR3
- Ένα σύνολο πινάκων με δείκτες σε καταλόγους σελίδων (A set of page directory pointer tables)
 - Αρχική διεύθυνση πίνακα με καταλόγους σελίδων
 - Δικαιώματα πρόσβασης
 - Πληροφορίες διαχείρισης

- Κατάλογοι σελίδων (Sets of page directories). Μια καταχώρηση σε έναν κατάλογο σελίδων περιέχει
 - Την αρχική διεύθυνση (base address) ενός πίνακα σελίδων.
 - Δικαιώματα πρόσβασης
 - Πληροφορίες διαχείρισης
- Πίνακες σελίδων (Sets of page tables). Μια καταχώρηση σε έναν πίνακα σελίδων περιέχει
 - Την φυσική διεύθυνση ενός page frame.
 - Δικαιώματα πρόσβασης
 - Πληροφορίες διαχείρισης

Καταχωρητές συστήματος

Είναι οι καταχωρητές που περιέχουν πληροφορίες και bits ελέγχου (FLAGS)

- Στον EFLAGS υπάρχουν bits για τον έλεγχο λειτουργιών όπως η εναλλαγή εργασιών, χειρισμός διακοπών, αλλαγή τρόπου λειτουργίας, επίπεδο προνομίων κλπ.
- CR0,CR2,CR3,CR4: Περιέχουν δεδομένα και FLAGS για τον έλεγχο των λειτουργιών σε επίπεδο συστήματος και τις δυνατότητες του επεξεργαστή.
- Debug registers. Χρησιμοποιούνται από το λογισμικό εντοπισμού σφαλμάτων (debugging software).
- Καταχωρητές διαχείρισης μνήμης. GDTR, LDTR, IDTR
- TS. Περιέχει τη διεύθυνση του Task State Segment.
- Model-specific registers (MSRs). Χρησιμοποιούνται από το λειτουργικό σύστημα, δηλαδή από κώδικα που εκτελείται σε επίπεδο προνομίων μηδέν. Υποστηρίζουν λειτουργίες όπως Μετρητές παρακολούθησης απόδοσης (performance-monitoring counters)

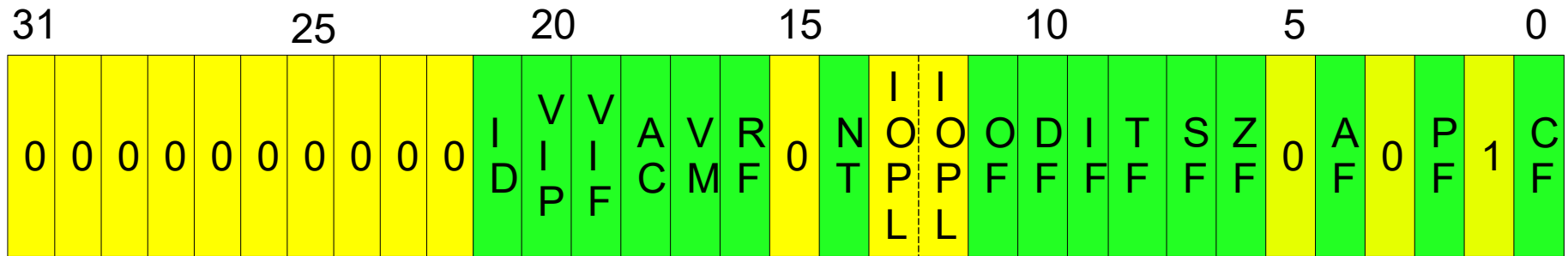
Καταχωρητές συστήματος IA-32e

- Οι καταχωρητές GDTR, IDTR, LDTR, TR, EFLAGS, CR0-CR4 είναι 64 bits

Τρόποι λειτουργίας

- Protected mode
- Real-address mode
- System management mode (SMM)
 - Επιτρέπει στο λειτουργικό σύστημα να υλοποιεί μηχανισμούς διαχείρισης ενέργειας.
 - Ενεργοποιείται με σήμα στον ακροδέκτη διακοπής SMI. Η συμπεριφορά είναι όμοια με μία διακοπή.
 - Χρησιμοποιεί άλλη περιοχή μνήμης
- Virtual-8086 mode
- IA-32e mode
 - Compatibility
 - 64 bit

System FLAGS 32 bit (EFLAGS)



- ID Identification Flag
- VIP Virtual Interrupt Pending
- VIF Virtual Interrupt Flag
- AC Alignment Check / Access Control
- VM Virtual-8086 Mode
- RF Resume Flag
- NT Nested Task Flag
- IOPL I/O Privilege Level
- IF Interrupt Enable Flag
- TF Trap Flag

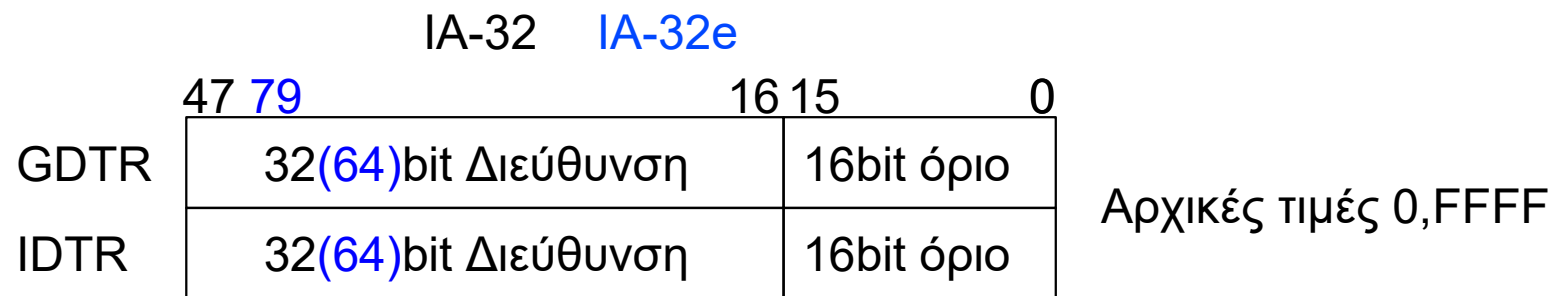
System FLAGS 64 bit (RFLAGS)

Ο καταχωρητής RFLAGS είναι 64 bit. Τα bits 32-63 δεν χρησιμοποιούνται.
 Το bit VM δεν μπορεί να γίνει '1' γιατί η λειτουργία Virtual-8086 δεν υποστηρίζεται.

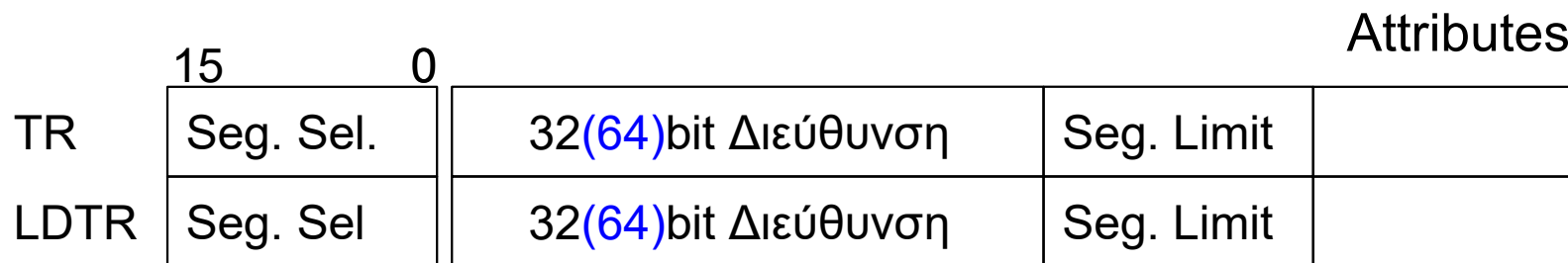
Καταχωρητές για τη διαχείριση της μνήμης

GDTR, LDTR, IDTR, TR

Υπάρχουν ειδικές εντολές για αυτούς τους καταχωρητές



Εντολές LGDT , SGTD , LIDT, SIDT



Εντολές LLDT,SLDT,LTR,STR

Καταχωρητές ελέγχου (Control registers)

- CR0 Έχει τα flags που καθορίζουν το τρόπο λειτουργίας (mode) του επεξεργαστή
- CR1 Δεν χρησιμοποιείται.
- CR2 Έχει τη διεύθυνση που προκάλεσε σφάλμα σελίδας (η σελίδα δεν βρίσκεται στη μνήμη)
- CR3 Περιέχει τη διεύθυνση της ιεραρχικής δομής που περιγράφει την οργάνωση των σελίδων στα bits 12-31. Τα bits 0-11 θεωρούνται μηδέν (4KB).
- CR4 Περιέχει διάφορα flags
- CR8 Είναι διαθέσιμος μόνο σε λειτουργία 64 bit. Παρέχει δικαιώματα εγγραφής και ανάγνωσης για τον καταχωρητή Task Priority Register (TPR).

Πρόσβαση με την εντολή mov μόνο από επίπεδο μηδέν.

PROTECTED-MODE MEMORY MANAGEMENT

IA-32

Ευκολίες για διαχείριση

- Segments (Τμήματα)
 - Κάθε πρόγραμμα έχει τα δικά του segments (προστασία)
- Pages (Σελίδες)
 - Υλοποίηση Εικονικής μνήμης (virtual-memory) και απομόνωση μεταξύ διεργασιών

Η σελιδοποίηση της μνήμης μπορεί να απενεργοποιηθεί

(Windows : pagefile.sys , Linux: Swap Partition)

Τα τμήματα δεν απενεργοποιούνται

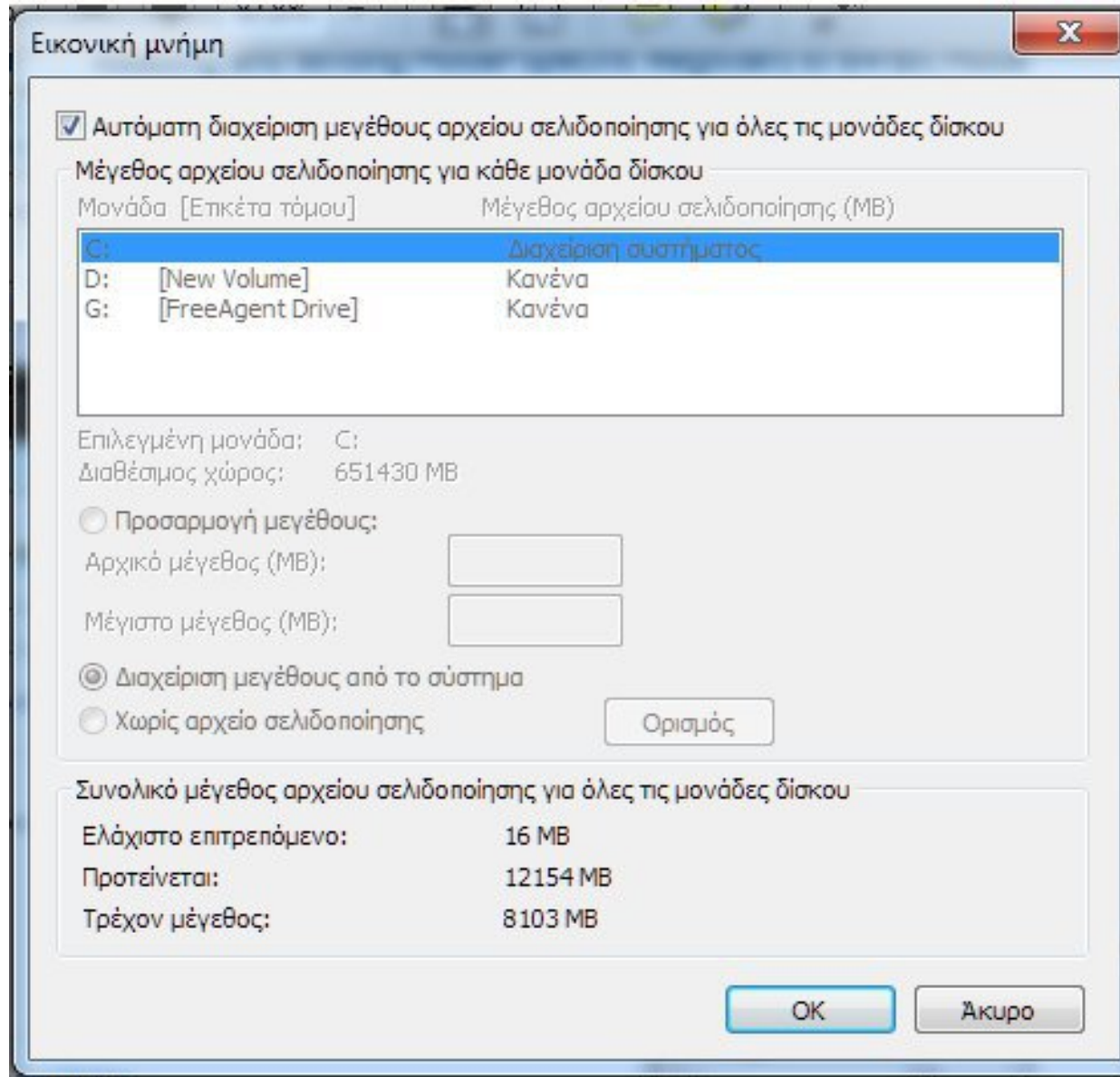
Linux Virtual Memory (swap partition)

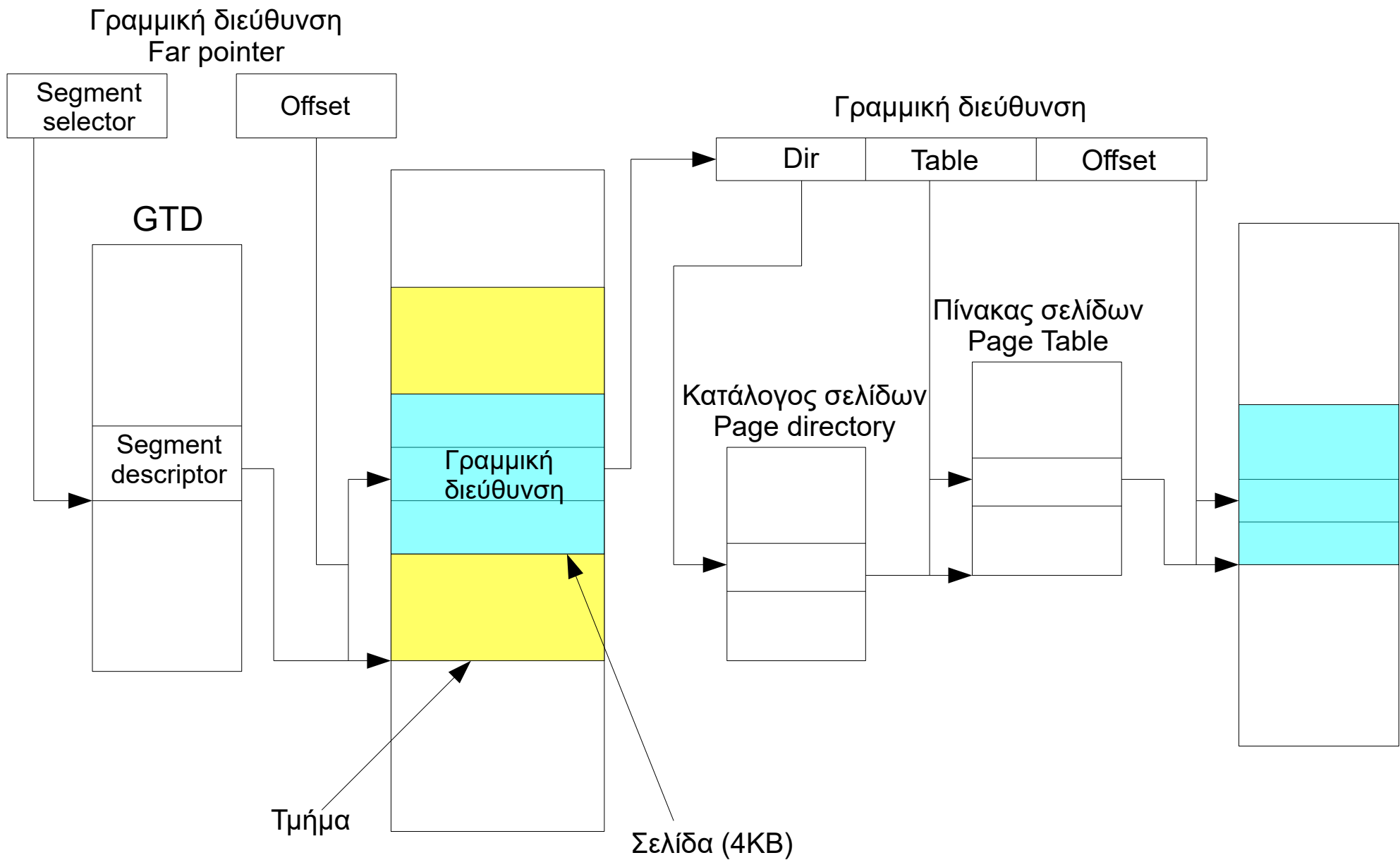
Partition **File System** **Mount Point** **Size** **Used** **Unused** **Flags**

/dev/sda1	ext4	/	49.82 GiB	6.77 GiB	43.04 GiB	boot
▼ /dev/sda2	extended		1.12 GiB	---	---	
/dev/sda5	linux-swap		1.12 GiB	---	---	
unallocated	unallocated		1.00 MiB	---	---	

0 operations pending

Windows Virtual Memory (pagefile.sys)





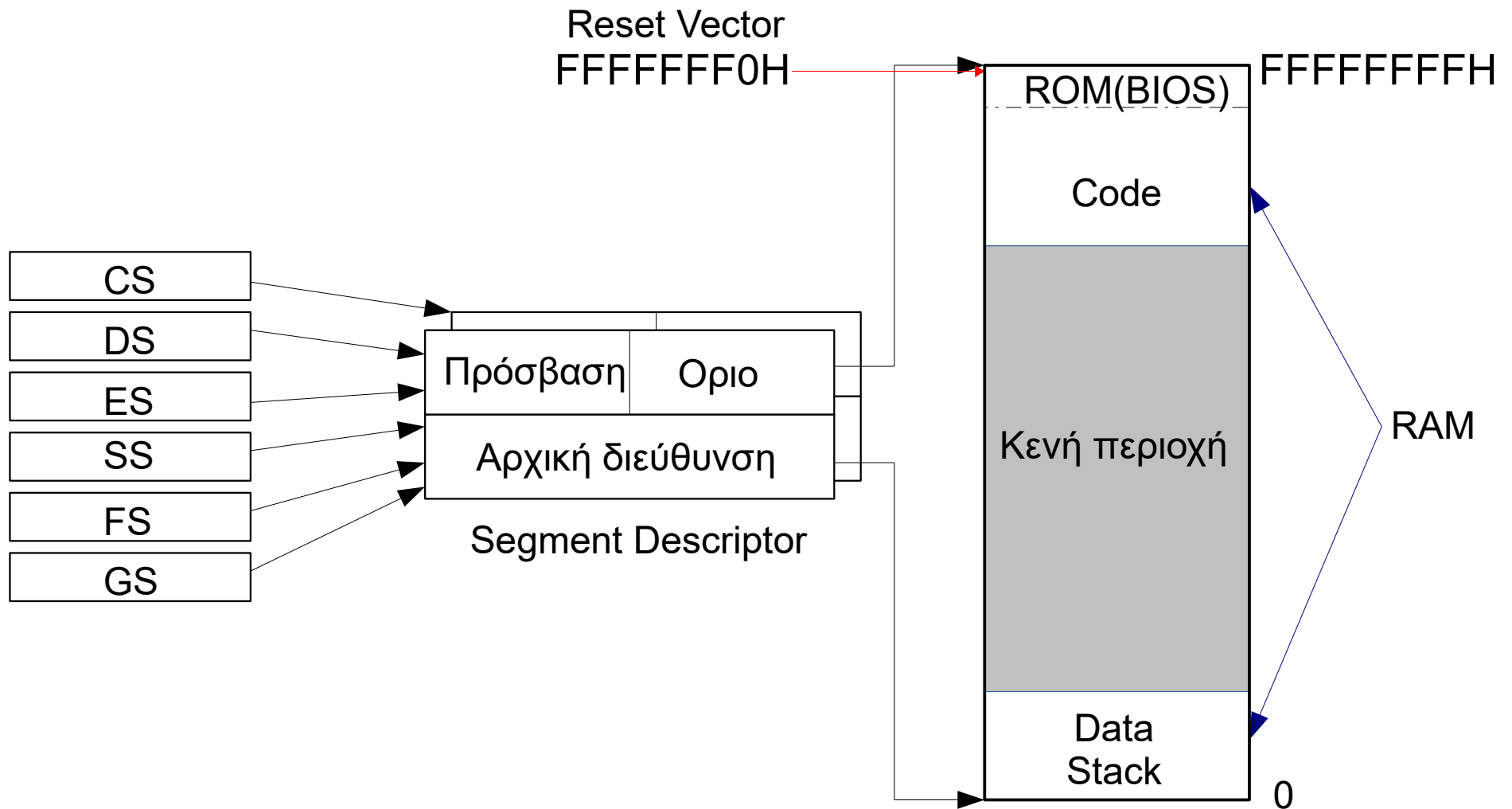
Χρήση Τμημάτων (IA-32 segmentation)

- **Basic Flat Model**
- **Protected Flat Model**
- **Multi-Segment Model**

Basic Flat Model

- Ολη η διαθέσιμη μνήμη είναι προσβάσιμη σαν ένα ενιαίο τμήμα
- Πρέπει να ορισθούν δύο segment descriptors
 - για κώδικα (code)
 - Δεδομένα και Stack
- Και τα δύο τμήματα
 - Αρχική διεύθυνση (base) = 0
 - Οριο (limit) = όλη η διαθέσιμη μνήμη (4GByttes)
- Δεν είναι απαραίτητο να υπάρχει όλη η φυσική μνήμη.
- Δεν παράγεται εξαίρεση αν γίνει πρόσβαση σε διεύθυνση που δεν υπάρχει μνήμη

(Έμμεση απενεργοποίηση τμημάτων)



Αν η διεύθυνση είναι στη κενή περιοχή δεν παράγεται exception

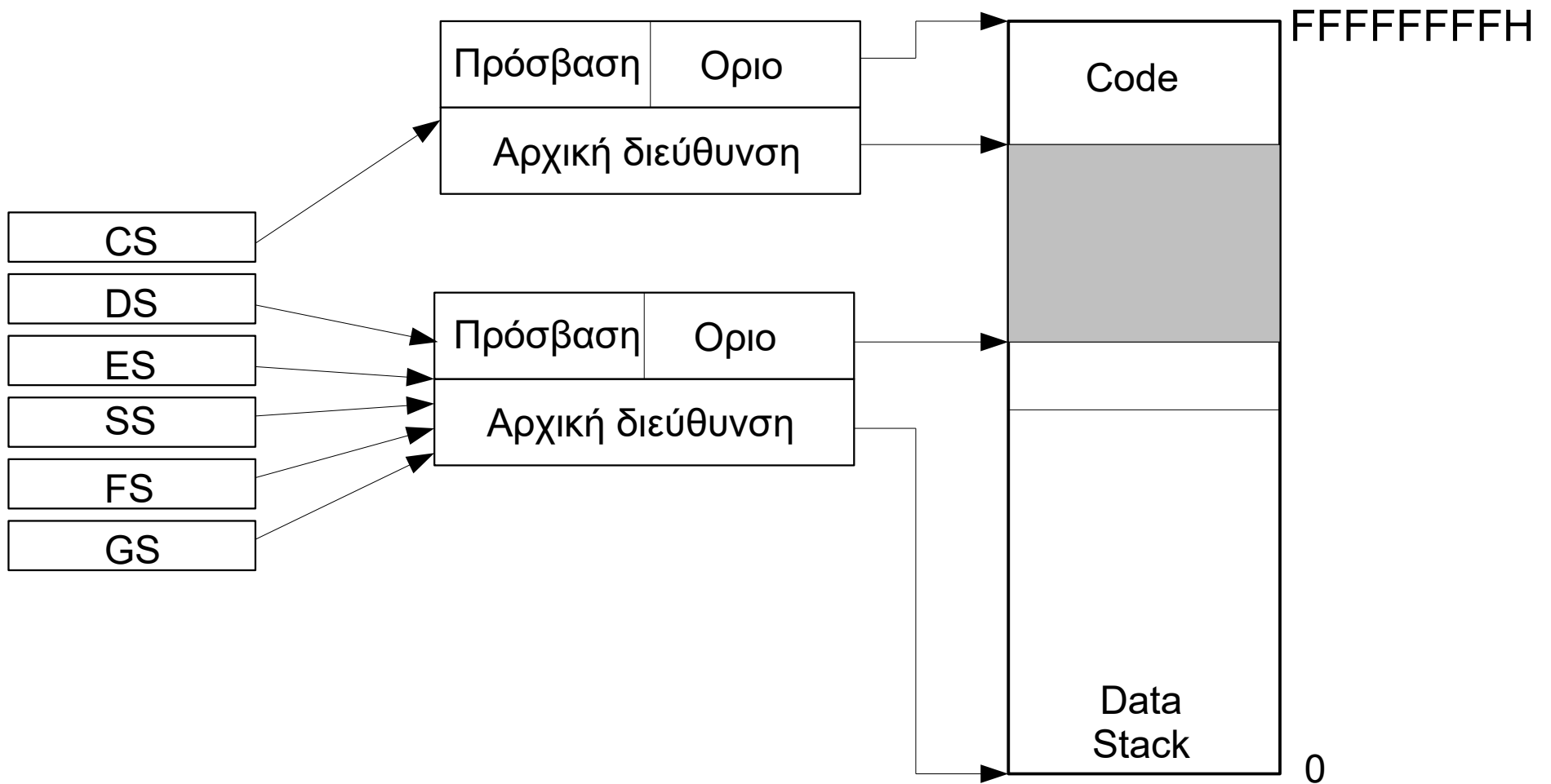
Protected Flat Model

Χρησιμοποιούνται τα όρια ώστε οι διευθύνσεις να βρίσκονται στη περιοχή που υπάρχει μνήμη.

Αν γίνει πρόσβαση σε περιοχή που δεν υπάρχει μνήμη παράγεται εξαίρεση (General Protection Exception, #GP)

Μπορούν να οριστούν 4 τμήματα. Κώδικας και δεδομένα για το επίπεδο προνομίων 3 (user) και το επίπεδο προνομίων 0 (supervisor)

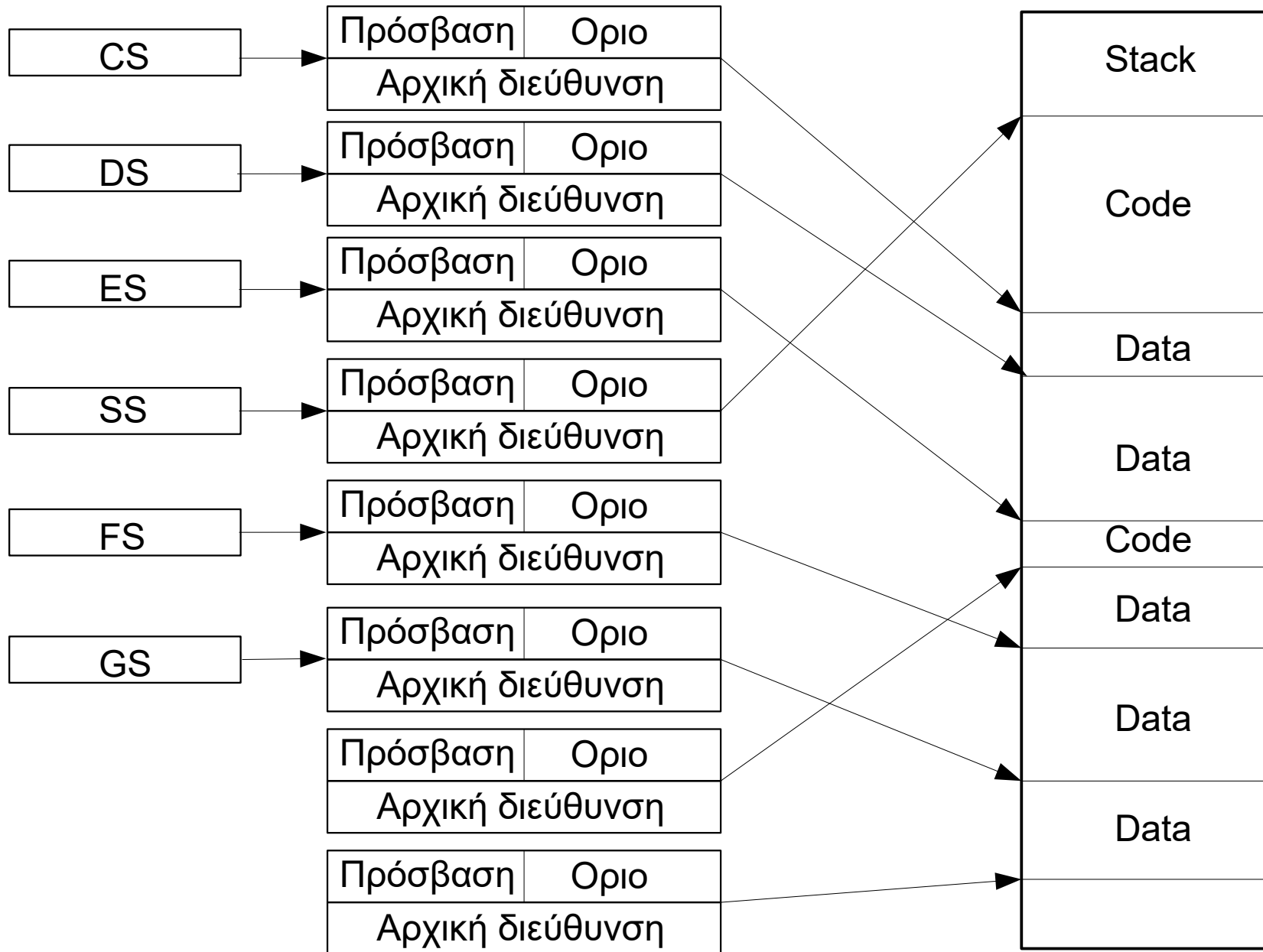
Σε συνδυασμό με το μηχανισμό σελιδοποίησης (paging) παρέχεται προστασία του λειτουργικού αλλά και μεταξύ των εφαρμογών



Multi-Segment Model

- Πλήρης αξιοποίηση των δυνατοτήτων που προσφέρει ο μηχανισμός χωρισμού της μνήμης σε τμήματα
- Κάθε πρόγραμμα έχει τα δικά του τμήματα για κώδικα και δεδομένα
- Τα τμήματα μπορεί να είναι “ιδιωτικά” ή και κοινά μεταξύ προγραμμάτων
- Ένα τμήμα κώδικα μπορεί να είναι χαρακτηρισμένο ως “μόνο για ανάγνωση” (code)
- Τα δικαιώματα πρόσβασης μπορούν να χρησιμοποιηθούν σε συνδυασμό με τα επίπεδα προνομίων

Multi-Segment Model



Χρήση τμημάτων IA-32e

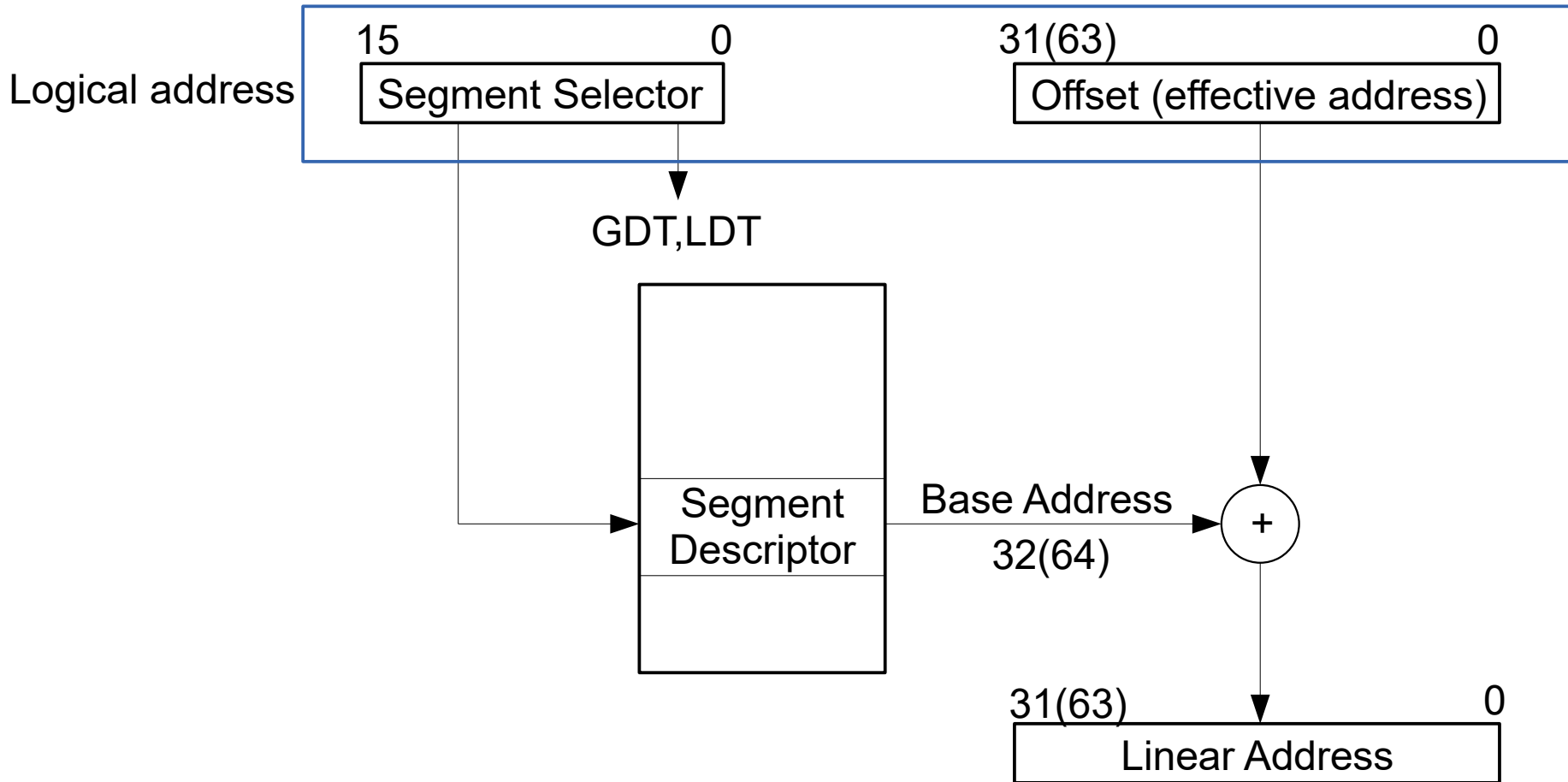
Εξαρτάται από τη τρόπο λειτουργίας.

- Compatibility mode :
 - Τα τμήματα χρησιμοποιούνται όπως και στη κατάσταση IA-32 (για 16bit και 32bit)
- 64-bit mode :
 - Οι καταχωρητές CS,DS,ES,SS δείχνουν σε αρχική διεύθυνση μηδέν και όριο όλη τη μνήμη. (64-bit flat address space)
 - Οι καταχωρητές FS και GS περιέχουν την αρχική διεύθυνση τμημάτων δεδομένων του λειτουργικού συστήματος

Τμήματα και σελίδες

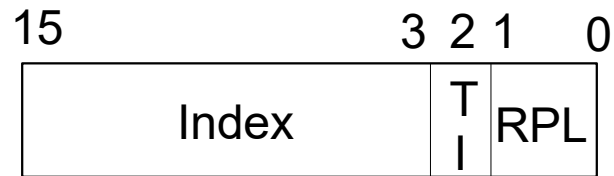
- Ο μηχανισμός σελιδοποίησης μπορεί να υπάρχει παράλληλα με τα τμήματα.
- Η προστασία μπορεί να υλοποιηθεί σε επίπεδο σελίδας παράλληλα, ή ανεξάρτητα, με τη προστασία μεταξύ τμημάτων

Μετάφραση διευθύνσεων



64-bit : Αν ο επεξεργαστής έχει $n < 64$ γραμμές διευθύνσεων τότε τα bit $n+1$ έως 63 πρέπει να είναι όλα '0' ή '1' (canonical form)

Segment Selector



RPL : Επίπεδο προνομίων

TI = 0 : GDT

TI = 1 : LDT

Index : 8192 descriptors

Ορατό μέρος

Κρυφό μέρος

Segment Selector	Base, Limit, Access Information	
		CS
		SS
		DS
		ES
		FS
		GS

- Segment limit: Τα bits 0-15 του πρώτου μέρους και τα 16-19 του δεύτερου αποτελούν μια τιμή 20 bits που είναι το μέγεθος του segment
 - G=0 : 1 Byte έως 1 MByte με βήμα 1 Byte
 - G=1 : 4 KByte έως 4 GByte με βήμα 4 Kbyte
 - Διευθύνσεις εκτός των ορίων του τμήματος προκαλούν general-protection exceptions, ή stack-fault exceptions αν πρόκειται για στοίβα.
- Base address : Η αρχική διεύθυνση του τμήματος. Αποτελείται από τα bits 16-31 του πρώτου μέρους και από τα bits 0-7 και 24-31 του δεύτερου.
- DPL (descriptor privilege level): Το επίπεδο προνομίων του τμήματος. Χρησιμοποιείται κατά τον έλεγχο δικαιωμάτων πρόσβασης.
- P (segment-present): Αν P=1 ή P=0 το τμήμα βρίσκεται ή δεν βρίσκεται στη μνήμη. Μπορεί να χρησιμοποιηθεί μαζί με τη σελιδοποίηση στο μηχανισμό εικονικής μνήμης.
- Type: Τα χαρακτηριστικά του τμήματος, όπως, Μόνο για ανάγνωση, Μόνο για εκτέλεση, κλπ.

Segment Descriptor Tables in IA-32e Mode

- GDTR, LDTR : 64-bit

Επέκταση σε 16-bytes

- Call gate descriptors
- IDT gate descriptors
- LDT and TSS descriptors

Σελιδοποίηση μνήμης (Paging)

- Μετάφραση γραμμικών διευθύνσεων σε φυσικές διευθύνσεις
 - Δικαιώματα πρόσβασης
 - Τύπος κρυφής μνήμης (cache)
- Διακαιώματα πρόσβασης
- Καταχωρητές CR0, CR3, CR4

Υπάρχουν τρεις τρόποι σελιδοποίησης

- Για 32 bit
- Για Επέκταση Φυσικής Μνήμης (Physical Address Extension)
- IA-32e

Διαφορές τρόπων σελιδοποίησης

- Το εύρος των γραμμικών διευθύνσεων που μεταφράζονται
- Το εύρος των φυσικών διευθύνσεων που παράγονται
- Μέγεθος σελίδας
- Υποστήριξη δικαιώματος “Όχι για εκτέλεση”
- Υποστήριξη “κλειδιών προστασίας”. Έλεγχος πρόσβασης σε γραμμικές διευθύνσεις που έχουν “κλειδί”

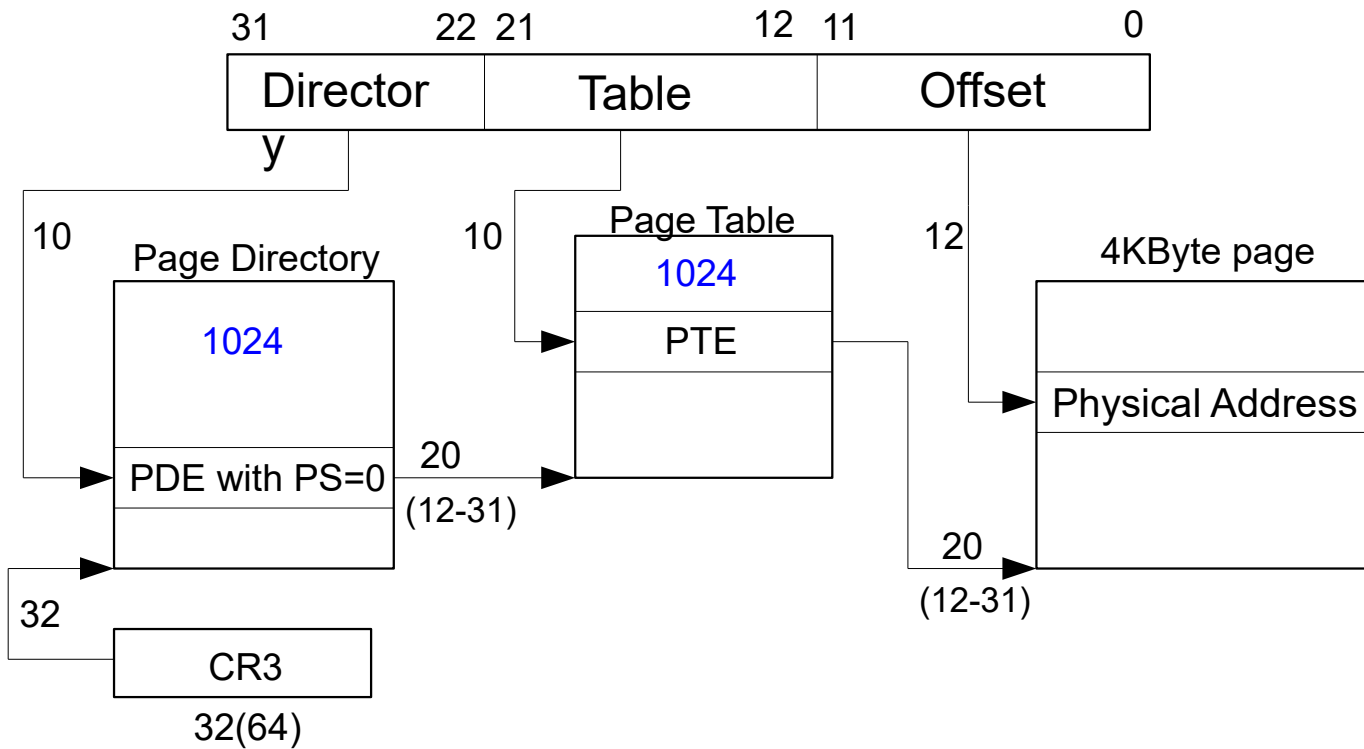
Ιεραρχικές δομές σελιδοποίησης

- Στη σελιδοποίηση για τη μετάφραση των διευθύνσεων χρησιμοποιούνται ιεραρχικές δομές.
- Κάθε δομή έχει μέγεθος 4096 Bytes και αποτελείται από καταχωρήσεις.
- Τα σημαντικότερα bits της διεύθυνσης προσδιορίζουν μια σειρά από καταχωρήσεις στις δομές σελιδοποίησης. Η τελευταία καταχώρηση προσδιορίζει τη περιοχή της μνήμης στην οποία βρίσκεται η σελίδα (page frame)
- Κάθε καταχώρηση περιέχει μια διεύθυνση που είναι ή η διεύθυνση μιας άλλης καταχώρησης (reference) ή η διεύθυνση ενός page frame (map a page).
- Η διεύθυνση της πρώτης δομής υπάρχει στον CR3.

- Σελιδοποίηση σε 32 bit. Κάθε δομή περιέχει 1024 (2^{10}) καταχωρήσεις των 32 bits.
- Σελιδοποίηση με PAE. Κάθε δομή περιέχει 512 (2^9) καταχωρήσεις των 64 bits, συν μια δομή με 4 (2^2) καταχωρήσεις των 64 bits.
- Σελιδοποίηση σε IA-32e. Κάθε δομή περιέχει 512 (2^9) καταχωρήσεις των 64 bits.
- Η διαδικασία μετάφρασης διευθύνσεων με τον προσδιορισμό ενός page frame. Αν σε ένα από τα στάδια μετάφρασης μια καταχώρηση δεν είναι διαθέσιμη (not present) τότε παράγεται μια εξαίρεση (page-fault exception)

IA-32 Σελίδες 4KB

- Κατάλογος σελίδων (Page directory). 1024 καταχωρήσεις 32bit (20bit διευθύνσεις)
- Πίνακας σελίδων (Page Table) 1024 καταχωρήσεις 32bit
- PS = 0

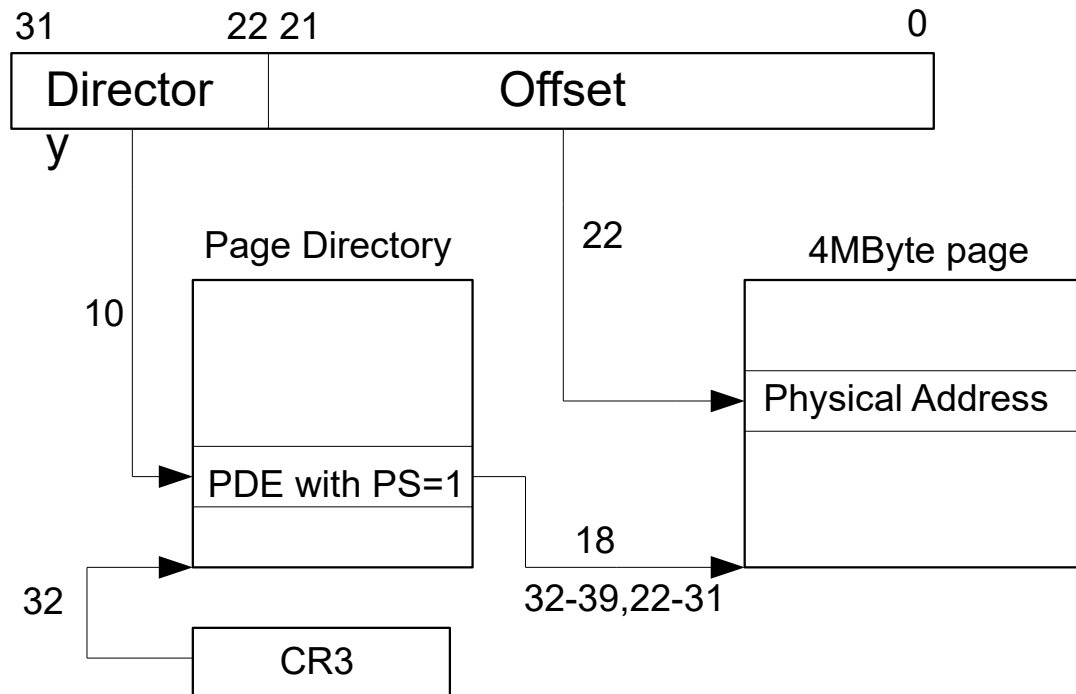


Διεύθυνση καταλόγου CR3 bits 12-31

Στους καταχωρητές PDE , PTE τα bits 0-8 είναι flags

P(0)	Present
R/W(1)	Read Write
U/S(2)	User/Supervisor
PWT(3)	Page Level Write Through
PLSC(4)	Page level cache disable
A(5)	Accessed
D((6)	Dirty
PS(7)	Page Size

IA-32 Σελίδες 4MB



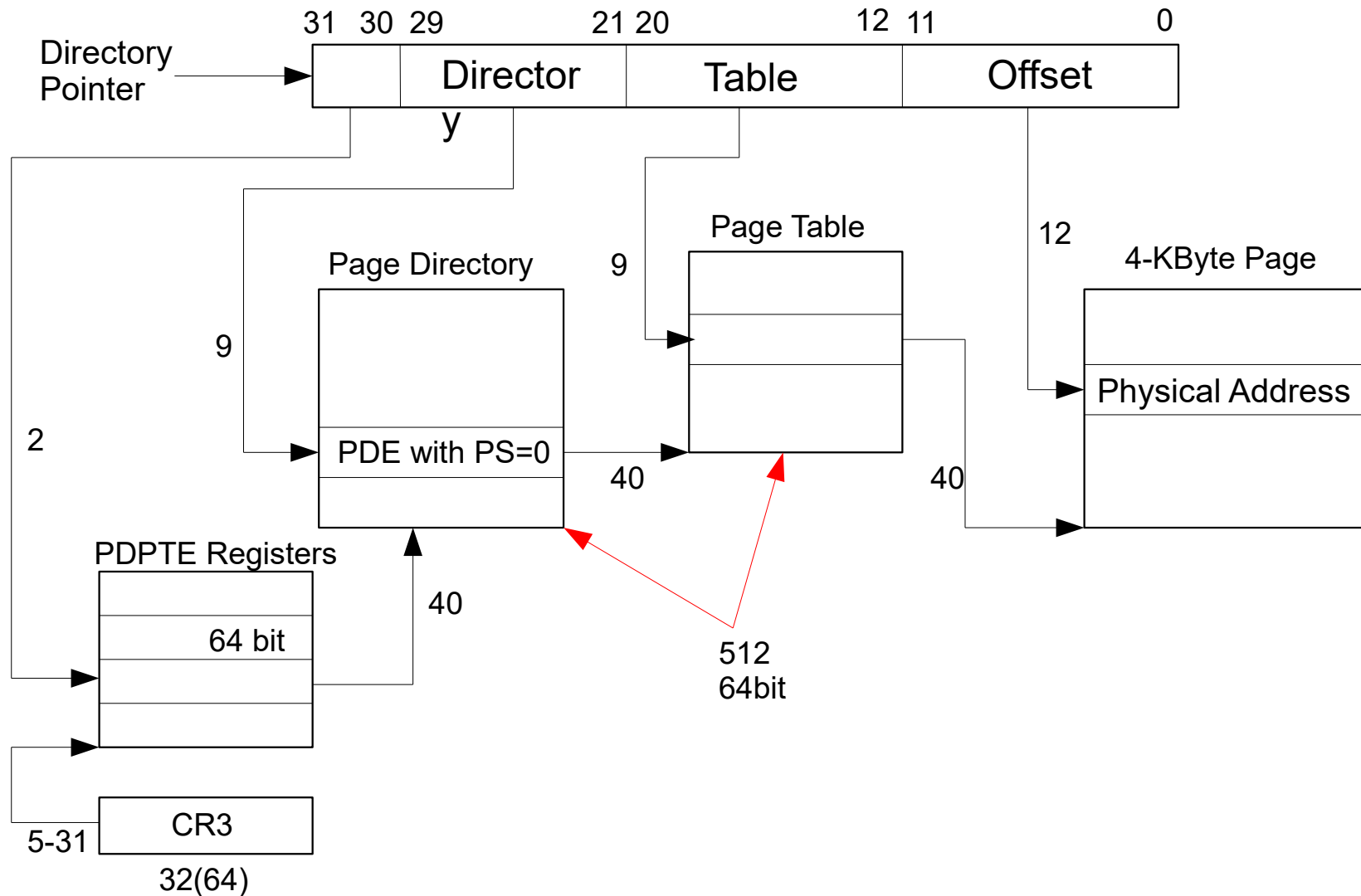
Επέκταση φυσικών διευθύνσεων – PAE σε επεξεργαστές 32 bit

- Ο επεξεργαστής 32 bit έχει 36 γραμμές διευθύνσεων
 - Οι γραμμικές διευθύνσεις 32bit μεταφράζονται σε 52bit φυσικές
 - Η συνολική μνήμη μπορεί να είναι 64GB (2^{36}) αλλά σε κάθε χρονική στιγμή 4GB (2^{32}) είναι προσβάσιμα
 - Η λειτουργία επέκτασης φυσικών διευθύνσεων ενεργοποιείται με ένα bit στον CR4
-
- Υπάρχει μια περιοχή στή μνήμη 32 bytes Page-Directory-Pointer Table. Ο CR3 έχει τη διεύθυνση αυτής της περιοχής.
 - Η περιοχή χωρίζεται σε 4 Page-Directory-Pointer Table Entries των 64 bit

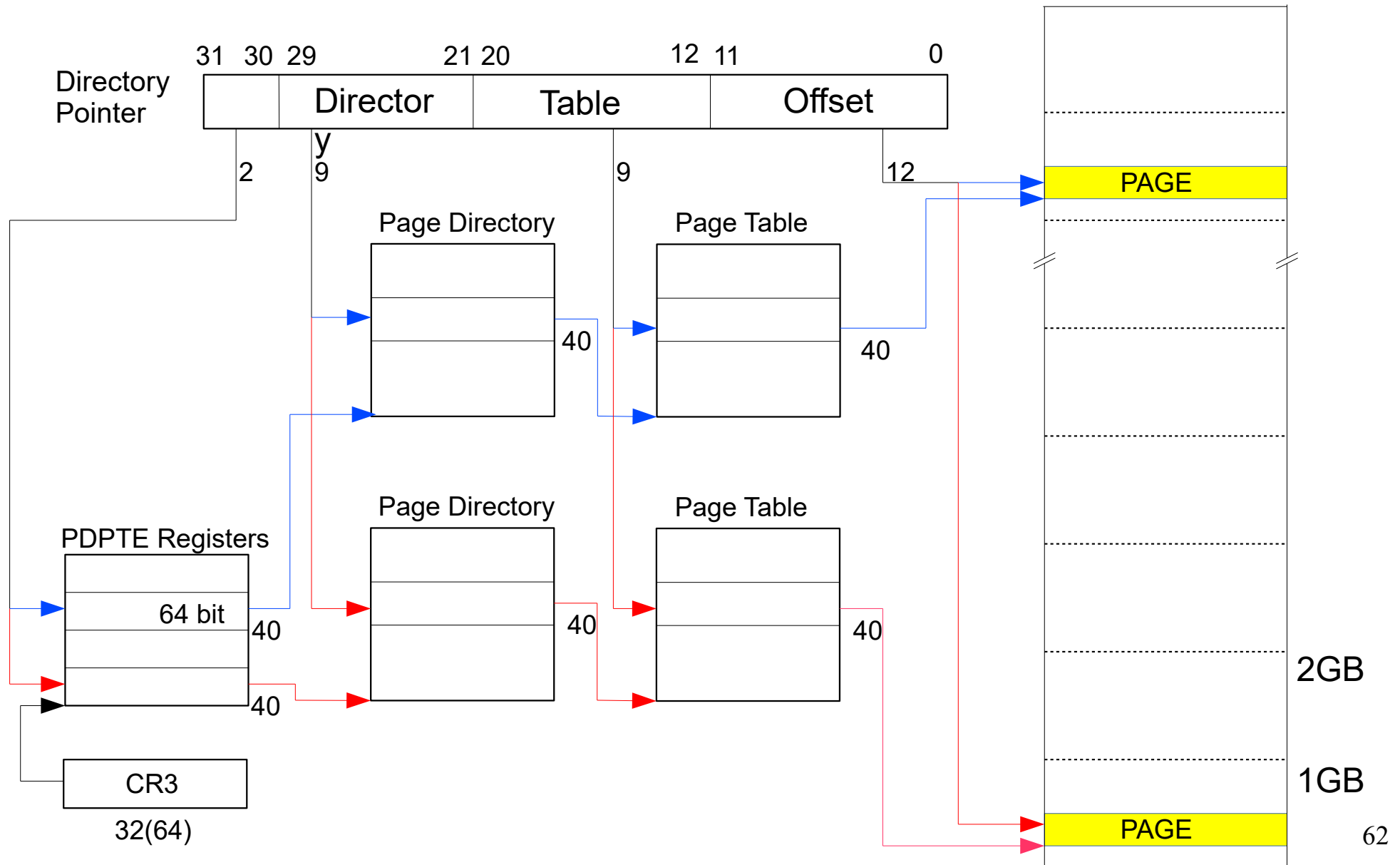
Σελίδες με επέκταση φυσικών διευθύνσεων

- Τα 64GB χωρίζονται σε 2^{24} page frames
- Ένα νέο επίπεδο μετάφρασης διευθύνσεων εισάγεται. Page Directory Pointer Table (PDPT)
- Το PDPT έχει 4 καταχωρητές των 64bit, (PDPTE)
- Το PDPT πρέπει να βρίσκεται στα πρώτα 4GB της μνήμης
- Η αρχική διεύθυνση του PDPT βρίσκεται στο καταχωρητή CR3.
- Ο επεξεργαστής έχει 4 καταχωρητές PDPTE0, PDPTE1, PDPTE2, και PDPTE3 στους οποίους φορτώνεται το περιεχόμενο των καταχωρητών του PDPT

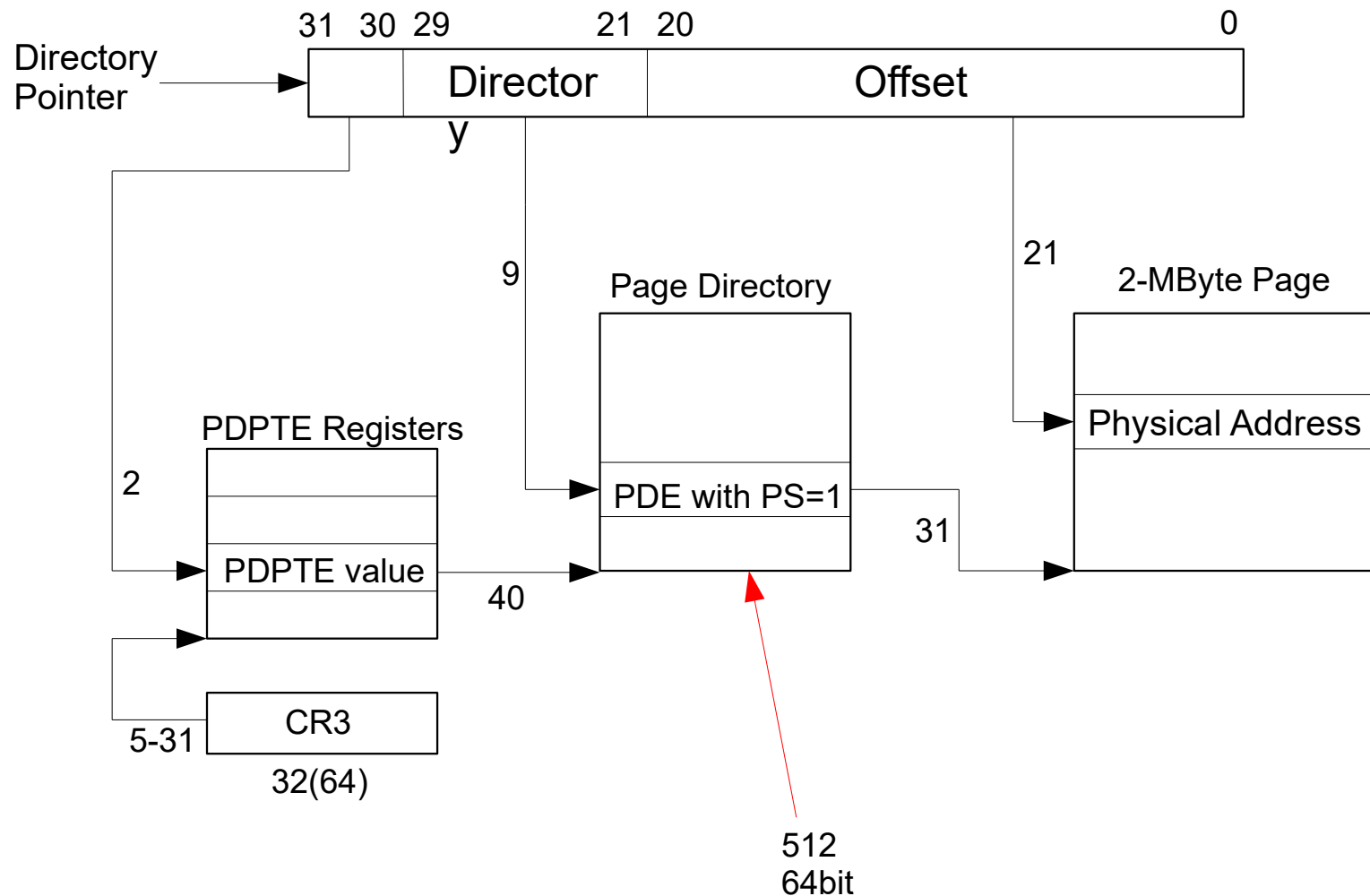
Μετάφραση γραμμικών διευθύνσεων σε σελίδες 4-KByte με χρήση PAE



Μετάφραση γραμμικών διευθύνσεων σε σελίδες 4-KByte με χρήση PAE



Μετάφραση γραμμικών διευθύνσεων σε σελίδες 2-MByte με χρήση PAE



IA32e Paging

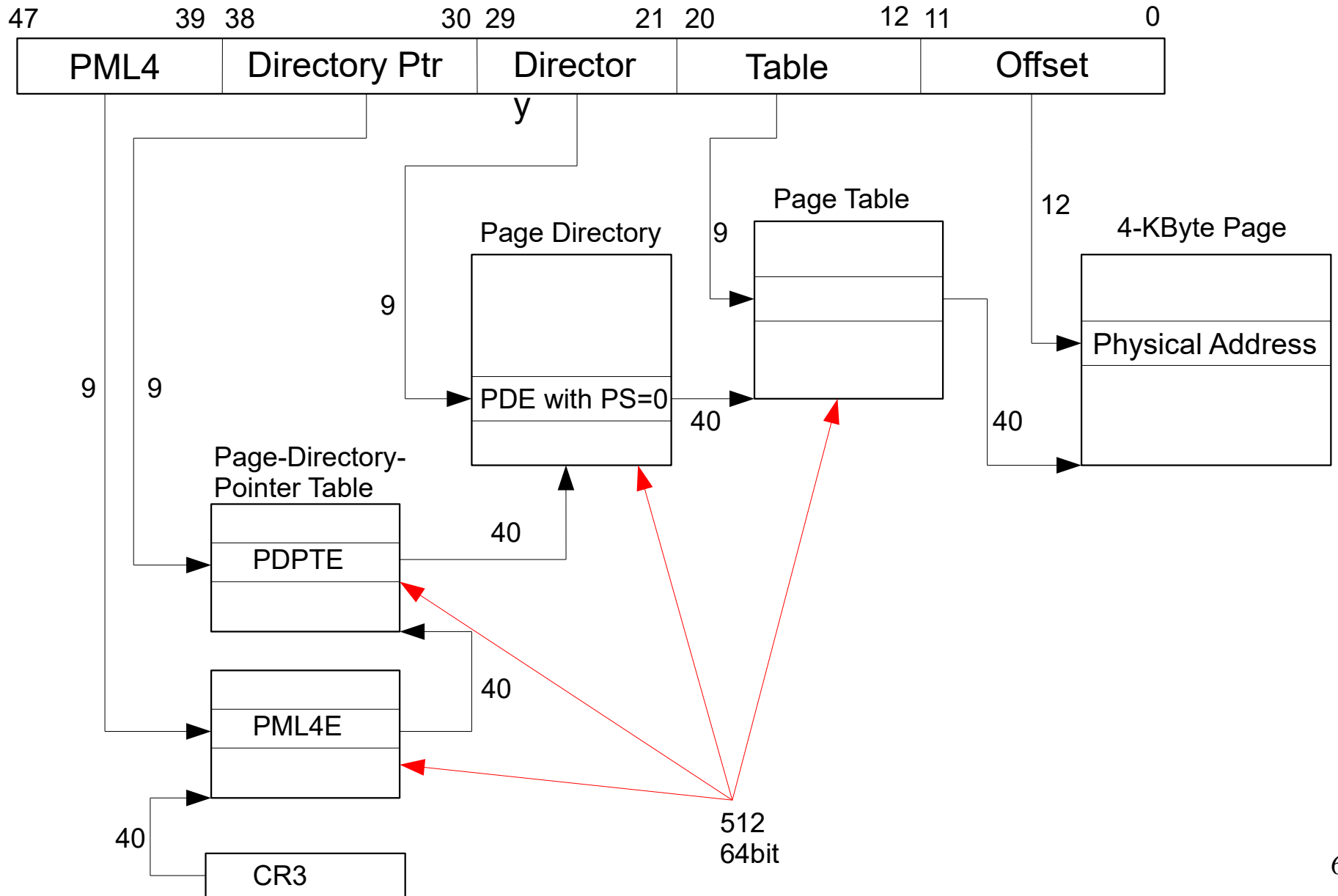
Μετάφραση με τη σελιδοποίηση 48bits – 52bits

Γραμμικές διευθύνσεις 48bits. 256TBytes προσβάσιμα σε κάθε στιγμή

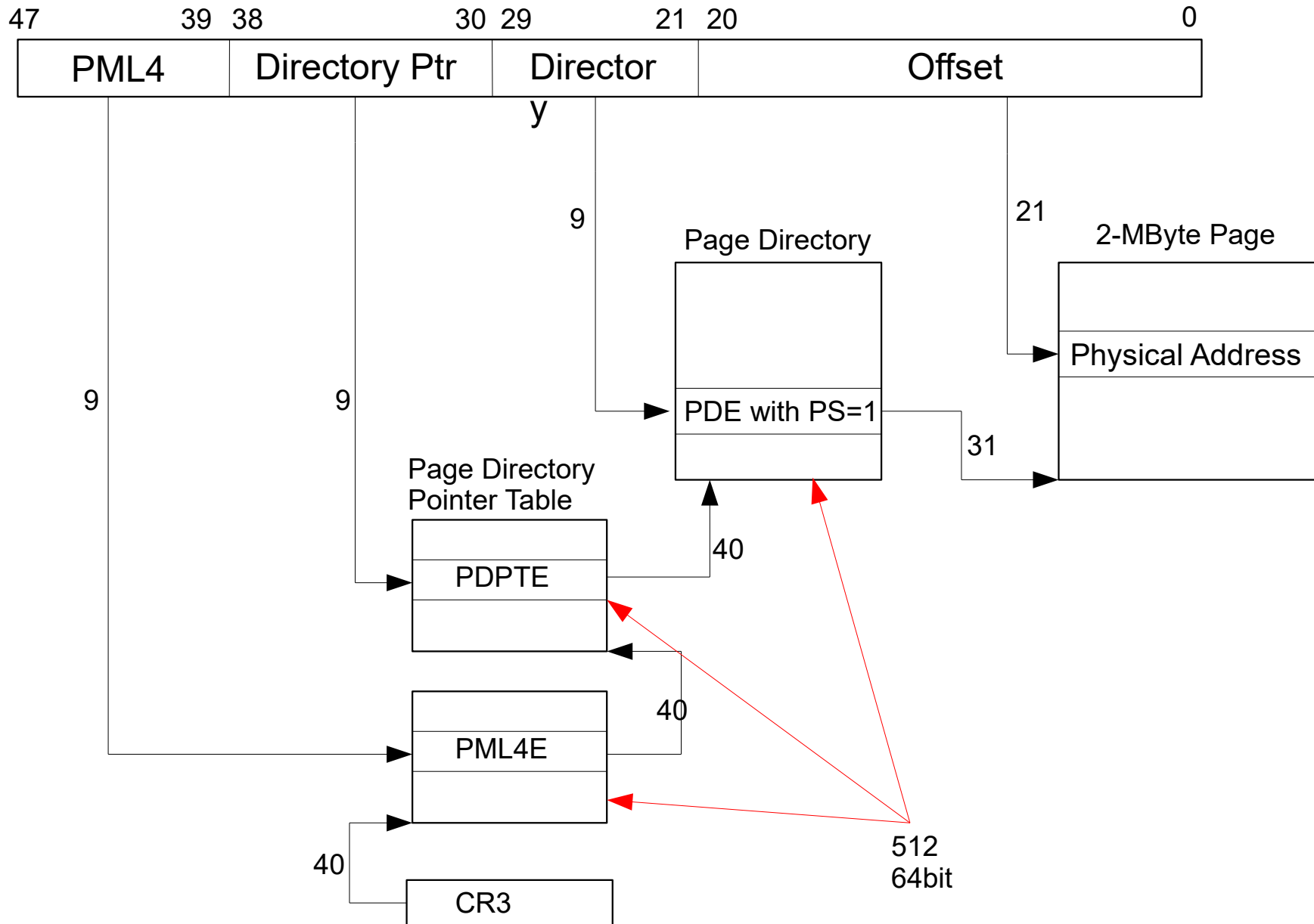
Μια νέα δομή στην ιεραρχία

Page Map Level 4

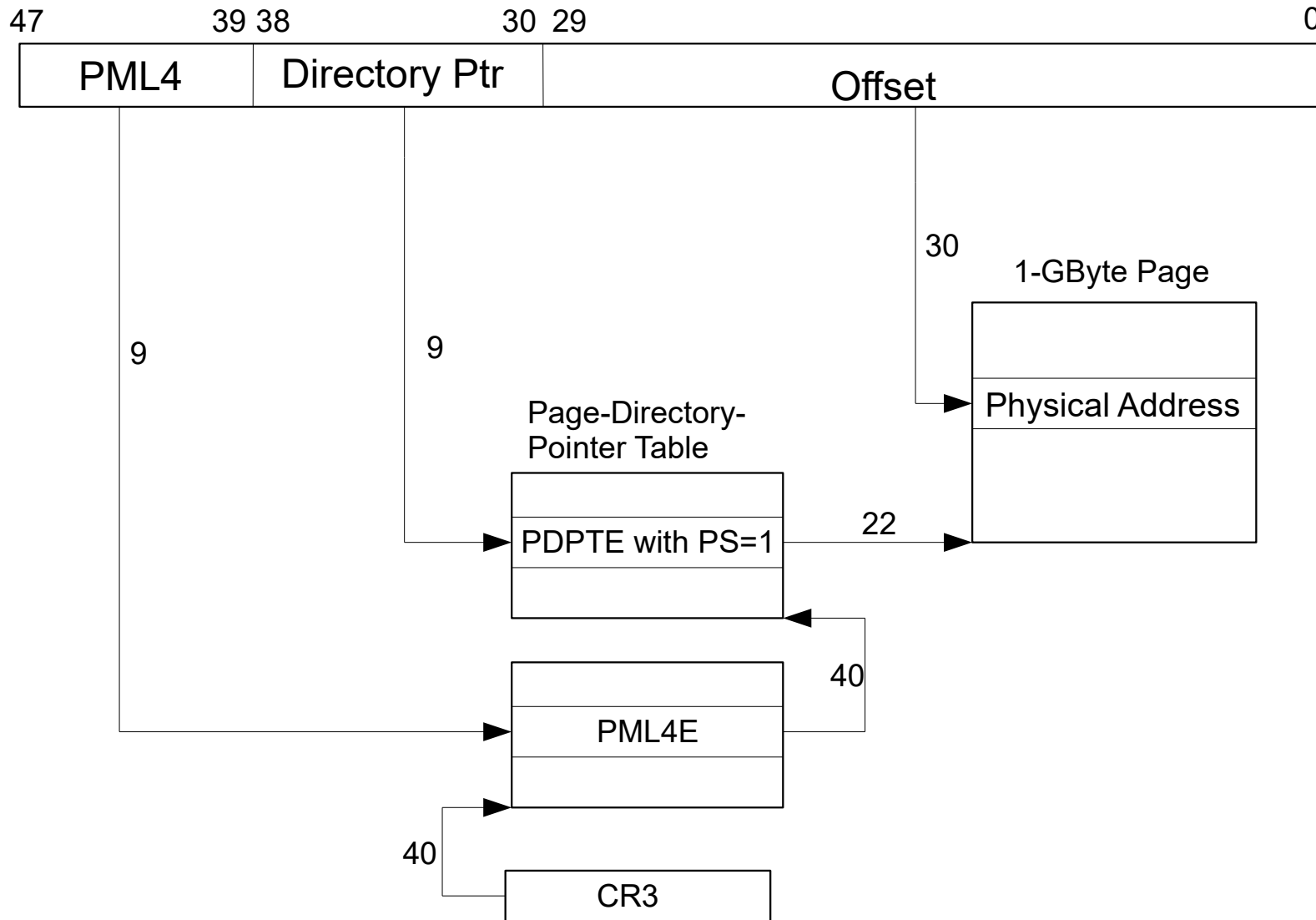
Linear-Address Translation to a 4-KByte Page using IA-32e Paging



Linear-Address Translation to a 2-MByte Page using IA-32e Paging



Linear-Address Translation to a 1-GByte Page using IA-32e Paging



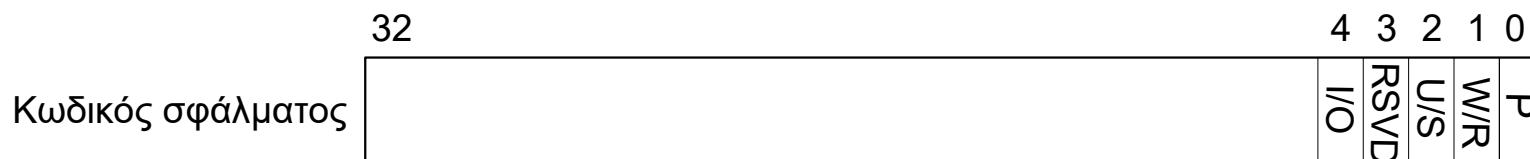
Διακαιώματα Πρόσβασης

Access Rights

- $CPL < 3$: **supervisor-mode access**
- $CPL = 3$: **user-mode access**
- Πρόσβαση σε GDT, LDT, IDT, TSS : μόνο με supervisor-mode ανεξάρτητα από CPL

PAGE-FAULT EXCEPTIONS

- Δεν είναι δυνατή η μετάφραση – η σελίδα δεν είναι διαθέσιμη
- Δεν το επιτρέπουν τα δικαιώματα πρόσβασης



Αιτία που προκάλεσε το σφάλμα

- P 0 Δεν βρέθηκε η σελίδα
 1 Παραβίαση δικαιωμάτων
- W/R 0 Ανάγνωση
 1 Εγγραφή
- U/S 0 Πρόσβαση από Supervisor-mode
 1 Πρόσβαση από user-mode
- RSVD 0 Δεν έγινε πρόσβαση σε δεσμευμένο bit
 1 Εγγραφή '1' σε δεσμευμένο bit
- I/O 0 Όχι από ανάγνωση εντολής
 1 Ανάγνωση εντολής

Όλοι οι καταχωρητές του μηχανισμού σελιδοποίησης έχουν στα bits 5 και 6

- 5 Accessed flag : 1 όταν γίνει πρόσβαση στη σελίδα
- 6 Dirty flag : 1 όταν αλλάξει το περιεχόμενο της σελίδας (εγγραφή)

Χρησιμοποιούνται από το λογισμικό διαχείρισης μνήμης.

Interrupt Descriptor Table (IDT)

- Συνδέει κάθε διάνυσμα (Interrupt vector, exception vector) με τη κατάλληλη πύλη (gate descriptor) της ρουτίνας που αφορά τη διακοπή.
- Όπως τα GTD και LDT είναι ένας πίνακας με τιμές 64bits (8 byte descriptors)
- Αντίθετα με το GDT η πρώτη θέση χρησιμοποιείται.
- Η θέση του μέσα στη μνήμη προσδιορίζεται από τη τιμή του καταχωρητή IDTR
- Περιέχει έως 256 8 byte descriptors

Interrupt Descriptor Table Register (IDTR)

