



ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ

Εθνικόν και Καποδιστριακόν
Πανεπιστήμιον Αθηνών

— ΙΔΡΥΘΕΝ ΤΟ 1837 —

ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ

Τμήμα Πληροφορικής και Τηλεπικοινωνιών
Τμήμα Αεροδιαστημικής Επιστήμης και Τεχνολογίας

ΔΠΜΣ Space Technologies, Applications and seRvices (STAR)

M806 Space Data Systems

ΠΜΣ στην Πληροφορική (ΥΣ: Λογισμικό και Υλικό)

ΠΜΣ στη Μηχανική Υπολογιστών, Τηλεπικ. και Δικτύων

M137 Προηγμένη Σχεδίαση Ψηφιακών Συστημάτων

ΜΔΕ στον Ηλεκτρονικό Αυτοματισμό

18207 Προηγμένη Σχεδίαση Ψηφιακών Συστημάτων

ΕΙΣΑΓΩΓΙΚΟ ΜΑΘΗΜΑ

Ακαδημαϊκό Έτος 2025-2026

Καθηγητής Αντώνιος Πασχάλης

Καθηγητής Νεκτάριος Νεκτάριος Κρανίτης

κ. Διονύσιος Βασιλόπουλος, ΕΔΙΠ

Πληροφορίες για το μάθημα

- Διδάσκοντες:
 - Καθηγητής Αντώνιος Πασχάλης (Μικροαρχιτεκτονικές RISC-V)
 - e-mail: paschalis@di.uoa.gr
 - Καθηγητής Νεκτάριος Κρανίτης (Αεροδιαστημικές εφαρμογές)
 - e-mail: nkran@aerospace.uoa.gr
- Θεωρία: Πέμπτη 10:00-14:00 (Αίθουσα Γ)
- Εργαστήριο: Πέμπτη 12:00-14:00 (Αναγνωστήριο Π&Τ)
- Ιστοσελίδα του μαθήματος
 - e-class: Πλατφόρμα Ασύγχρονης Τηλεκπαίδευσης
 - <https://eclass.uoa.gr/courses/DI505/>
 - Θα εγγραφείτε ως πιστοποιημένοι χρήστες με χρήση των ιδρυματικών σας λογαριασμών
 - Μέσω e-class θα ενημερώνεστε για τα νέα του μαθήματος
 - Ανακοινώσεις, διαφάνειες, ασκήσεις

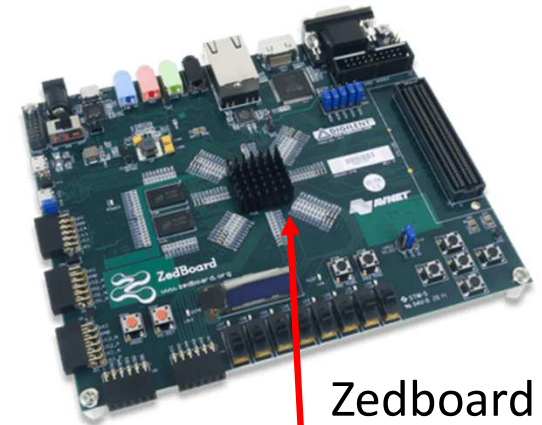
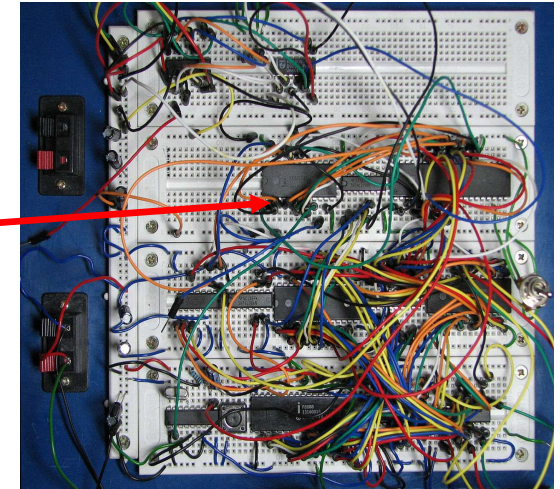
Μαθησιακοί Στόχοι

- Στόχος μαθήματος: η διδασκαλία της σύγχρονης σχεδίασης αεροδιαστημικών ψηφιακών συστημάτων με τη γλώσσα περιγραφής υλικού VHDL και την υλοποίησή τους σε τεχνολογία Field Programmable Gate Arrays (FPGAs) System-On-Chip (SoC)
- Με την επιτυχή ολοκλήρωση του μαθήματος ο φοιτητής θα είναι σε θέση να:
 - **κατανοεί, σχεδιάζει και υλοποιεί όλες τις βασικές μικροαρχιτεκτονικές (ενός κύκλου, πολλών κύκλων, με διοχέτευση) μίας αρχιτεκτονικής RISC-V (NEO)**
 - σχεδιάζει και υλοποιεί ψηφιακά συστήματα με χρήση γλώσσας περιγραφής υλικού VHDL
 - κατανοεί τις διαδικασίες: synthesis, verification, implementation σε τεχνολογία FPGA
 - βελτιστοποιεί τη σχεδίαση και να αναλύει τους περιορισμούς χρονισμού (timing constraints)
 - κατανοεί τα βασικά πρωτόκολλα διαύλων για διαστημικές εφαρμογές
 - κατανοεί τα βασικά πρωτόκολλα σειριακής μετάδοσης για διαστημικές εφαρμογές (UART, SPI, I2C, CAN, SpaceWire, SpaceFibre)
 - γνωρίζει τις βασικές τεχνολογίες FPGA κατάλληλες για διαστημικές εφαρμογές
 - σχεδιάζει και υλοποιεί ψηφιακά συστήματα σε FPGAs με σύγχρονα εργαλεία λογισμικού CAD
 - κατανοεί τα πρότυπα σχεδίασης ψηφιακών συστημάτων με ASICs/FPGAs για διαστημικές εφαρμογές
 - κατανοεί τις βασικές τεχνικές για το μετριασμό των επιπτώσεων ακτινοβολίας σε τεχνολογίες ASICs και FPGAs για διαστημικές εφαρμογές
- Στο εργαστήριο του μαθήματος:
 - εργαλείο λογισμικού VIVADO + VITIS
 - αναπτυξιακή κάρτα Zedboard (Zynq-7020 FPGA SoC)
 - Εργασίες: επεξεργαστές RISC-V και ψηφιακά συστήματα με εφαρμογές στην αεροδιαστημική



Η εξέλιξη της ψηφιακής σχεδίασης στο χρόνο...

- Παλαιότερα: Χρήση bread-boards
 - Καλωδίωση κυκλωμάτων SSI-MSI (DIP) με το χέρι
 - Περιορισμός σε λογικές πύλες (≈ 100)
 - Χωρίς χρήση εργαλείων λογισμικού
 - Χρήση παλμογράφου για verification και debug
- Σήμερα: Χρήση development boards με FPGAs
 - Μεγάλη πυκνότητα ολοκλήρωσης ($\approx 100K$ Logic Cells)
 - Σχεδίαση με γλώσσα περιγραφής υλικού
 - Χρήση εργαλείων λογισμικού για λογική σύνθεση (logic synthesis) και υλοποίηση (implementation) για συγκεκριμένο FPGA
 - Verification με εργαλεία προσομοίωσης
 - Debug με χρήση ειδικών κυκλωμάτων στο υλικό (on-chip debug)

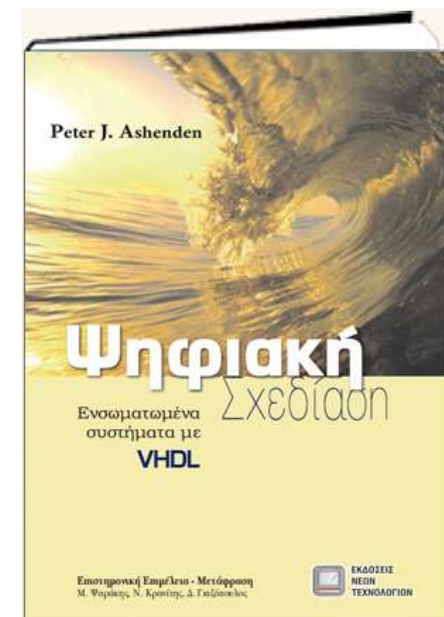


Zedboard



Βιβλία μαθήματος

- ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ ΚΑΙ ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΥΠΟΛΟΓΙΣΤΩΝ, ΕΚΔΟΣΗ RISC-V
 - Κωδικός Βιβλίου στον Εύδοξο: 112705602
 - Έκδοση: 1η/2025
 - Συγγραφείς: SARAH L. HARRIS, DAVID MONEY HARRIS
 - Εκδόσεις ΚΛΕΙΔΑΡΙΘΜΟΣ ΕΠΕ
- Ψηφιακή Σχεδίαση. Ενσωματωμένα Συστήματα με VHDL
 - Κωδικός Βιβλίου στον Εύδοξο: 64314
 - Έκδοση: 1^η Αμερικανική
 - Συγγραφέας: P.J. Ashenden
 - Εκδόσεις Νέων Τεχνολογιών 2010

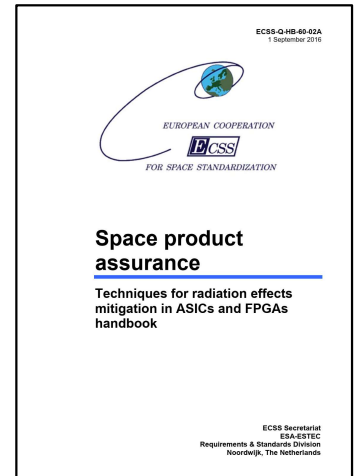
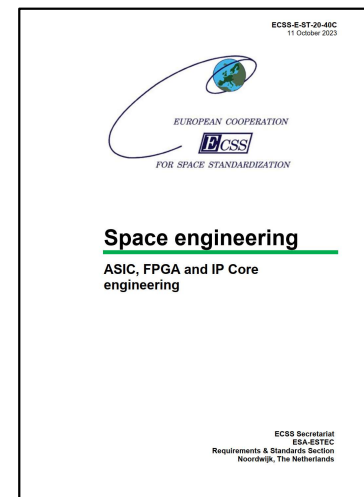
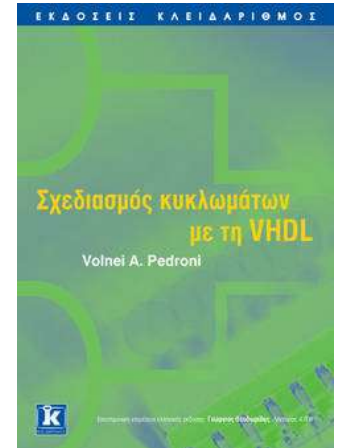
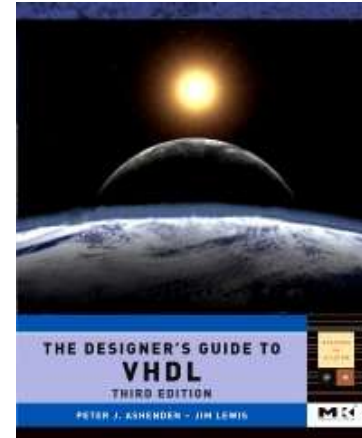


Γιατί επιλέξαμε να μεταφράσουμε το βιβλίο των S.L. Harris και D.M. Harris με τίτλο «Ψηφιακή Σχεδίαση και Αρχιτεκτονική Υπολογιστών – Έκδοση RISC-V» ;

- Θεμελιώνονται με μοναδικό τρόπο όλες οι βασικές αρχές και σύγχρονες πρακτικές της ψηφιακής σχεδίασης και αρχιτεκτονικής υπολογιστών από την οπτική γωνία του σχεδιαστή ψηφιακών συστημάτων
- Χρησιμοποιεί την ψηφιακή σχεδίαση ως εφαλτήριο για την ολοκληρωμένη και λεπτομερή παρουσίαση της διαδικασίας σχεδίασης ενός απλού, σύγχρονου και με συνεχώς αυξανόμενη ραγδαία δημοφιλία επεξεργαστή αρχιτεκτονικής RISC, του επεξεργαστή RISC-V (5^η Αρχιτεκτονική RISC του Berkeley)
- Η αρχιτεκτονική του RISC-V ξεχωρίζει επειδή είναι μία **αρχιτεκτονική ανοικτού πηγαίου κώδικά** που την καθιστά συνεχώς επεκτάσιμη (διαθέτει ακόμα και συμπιεσμένες εντολές μεγέθους 16 bit), με πρακτικό αποτέλεσμα την ελεύθερη χρήση της τα τελευταία χρόνια σε πληθώρα εφαρμογών, ακόμη και διαστημικών, χωρίς ωστόσο να υπολείπεται σε δυνατότητες (λόγω των επεκτάσεών της) συγκριτικά με άλλες επιτυχημένες εμπορικές αρχιτεκτονικές, όπως οι MIPS, ARM και x86.
- Σε όλη την έκταση του βιβλίου παρουσιάζονται σε βάθος τα πιο σημαντικά θέματα που συνδέουν τη ψηφιακή σχεδίαση και την αρχιτεκτονική υπολογιστών με τις προκλήσεις που καλείται να αντιμετωπίσει στην πράξη ο σημερινός σχεδιαστής πολύπλοκων ψηφιακών συστημάτων.

Υλικό μαθήματος

- Επιπλέον βιβλιογραφία
 - P.J. Ashenden The Designer's Guide to VHDL, 3rd Edition (2008), Morgan Kaufmann
 - V.A. Pedroni, Σχεδιασμός κυκλωμάτων με τη VHDL, 1η Έκδοση, Εκδόσεις Κλειδάριθμος, 2008 (Κωδικός Βιβλίου στον Εύδοξο: 13901)
 - ECSS-E-ST-20-40C – ASIC, FPGA and IP Core Engineering
 - ECSS-Q-HB-60-02A – Techniques for radiation effects mitigation in ASICs and FPGAs handbook
- Διαφάνειες
 - Στο e-class του μαθήματος



Υλικό μαθήματος

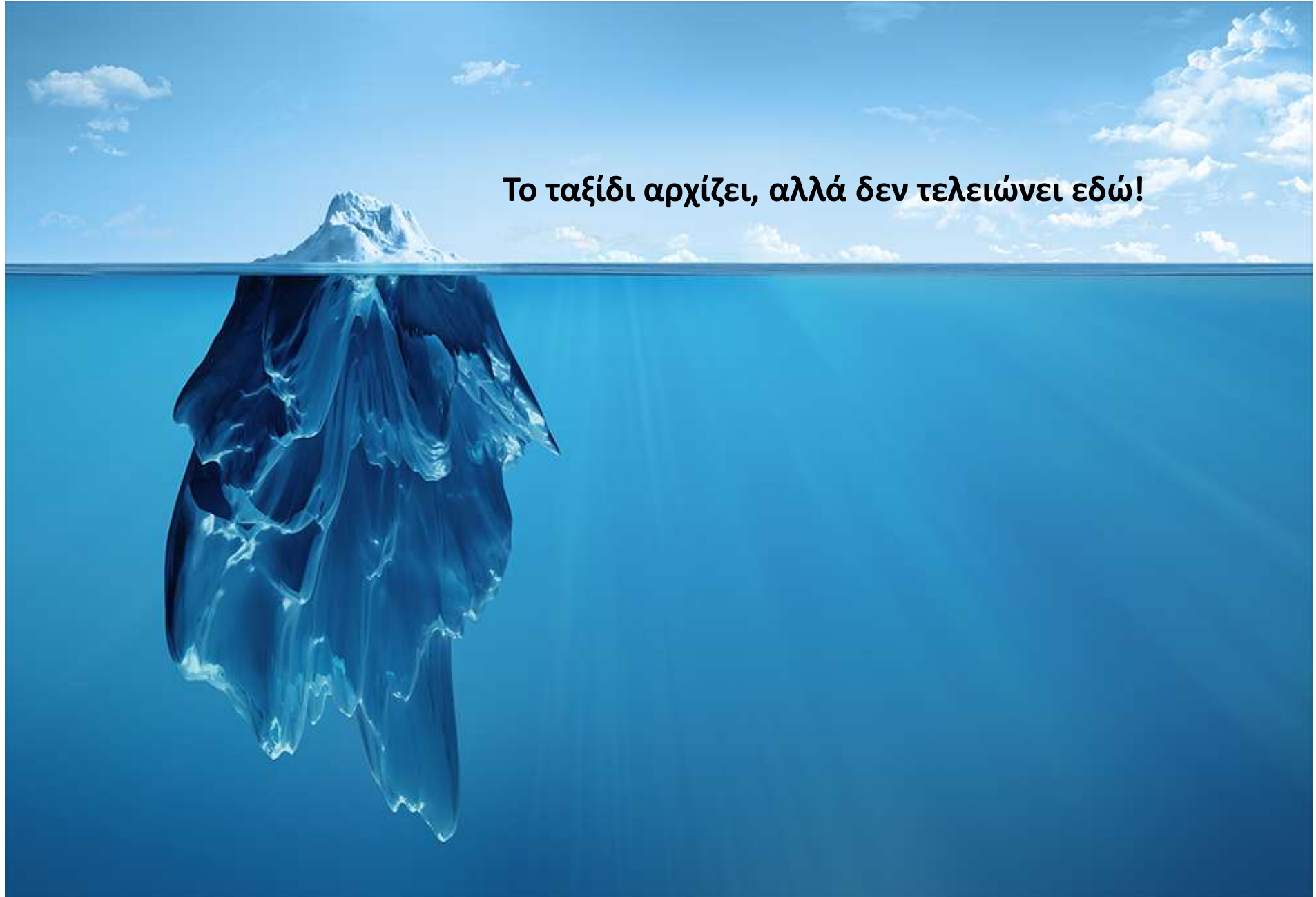
- Επιπλέον βιβλιογραφία
 1. IEEE Transactions on Aerospace and Electronic Systems
 2. IEEE Transactions on Computers
 3. IEEE Design & Test of Computers
 4. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems
 5. IEEE Transactions on Very Large-Scale Integration (VLSI) Systems
- Πρόσβαση μέσω του HEAL-link (εντός δικτύου campus)
 - Για πρόσβαση εκτός Campus:
 - χρήση VPN <http://www.noc.uoa.gr/syndesh-sto-diktyo/eikoniko-idiwtiko-diktyo-vpn.html>
 - ή proxy server <http://www.noc.uoa.gr/syndesh-sto-diktyo/diakomistis-mesolabhshs-proxy-server.html>
- Διαφάνειες
 - Στο e-class του μαθήματος



Αξιολόγηση

- Εργασίες με κλιμακούμενη δυσκολία
 - Διαφορετικές ανάλογα με το background και τα ενδιαφέροντα των φοιτητών/φοιτητριών
- Παραδείγματα:
 - Υλοποίηση των 3 βασικών μικροαρχιτεκτονικών RISC-V (ενός κύκλου, πολλών κύκλων, με διοχέτευση)
 - Χρήση LCD controller (με SPI)
 - Υλοποίηση του αλγορίθμου SOBEL edge detection στο υλικό
 - Ως embedded SW στο PS του Zynq-7000
 - Ως HW accelerator στο PL του Zynq-7000 σε VHDL
 - Σύγκριση απόδοσης
 - Χρήση UART controller και VGA controller

Σχεδίαση Ψηφιακών Συστημάτων



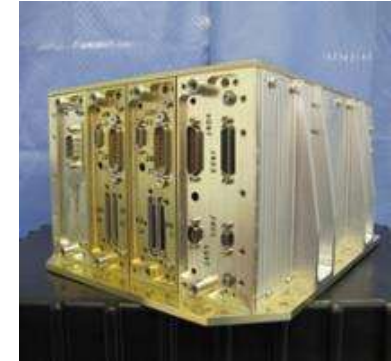
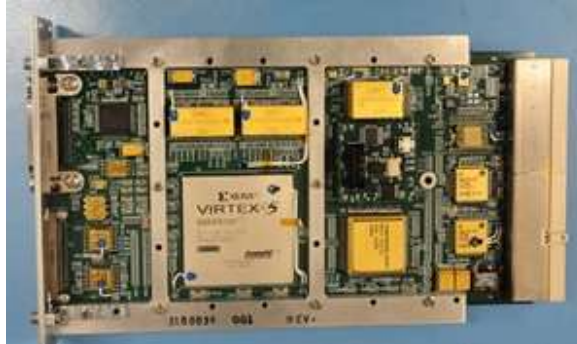
Τα ψηφιακά συστήματα βρίσκονται παντού!

- Καταναλωτικές ψηφιακές συσκευές (consumer electronics)

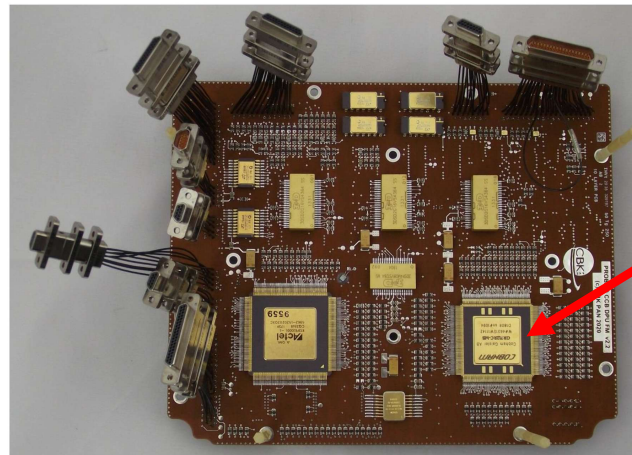


Τα ψηφιακά συστήματα βρίσκονται παντού!

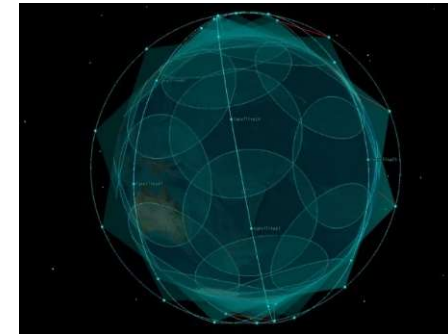
- Μερικά παραδείγματα από την αεροδιαστημική



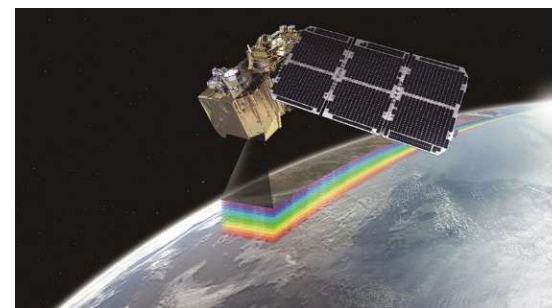
Adaptive image & video processing/compression



ΕΚΠΑ-ΣΘΕ



Internet of space and navigation

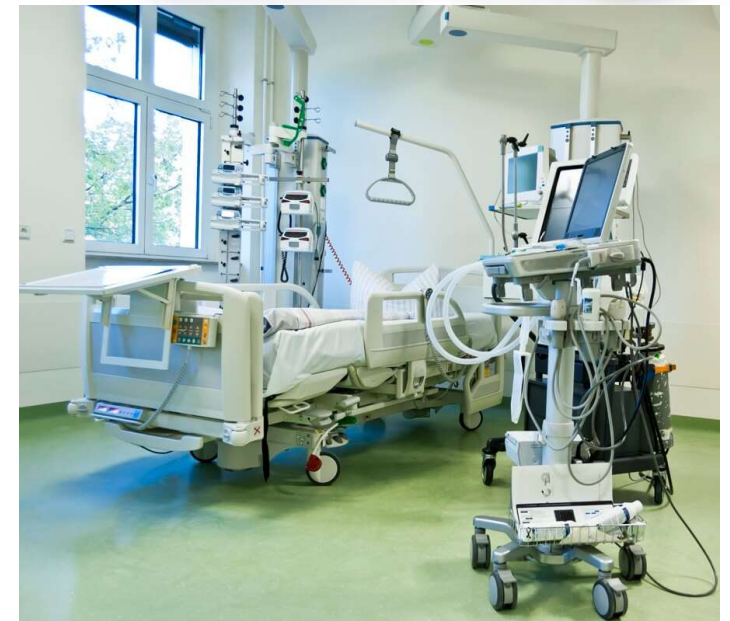
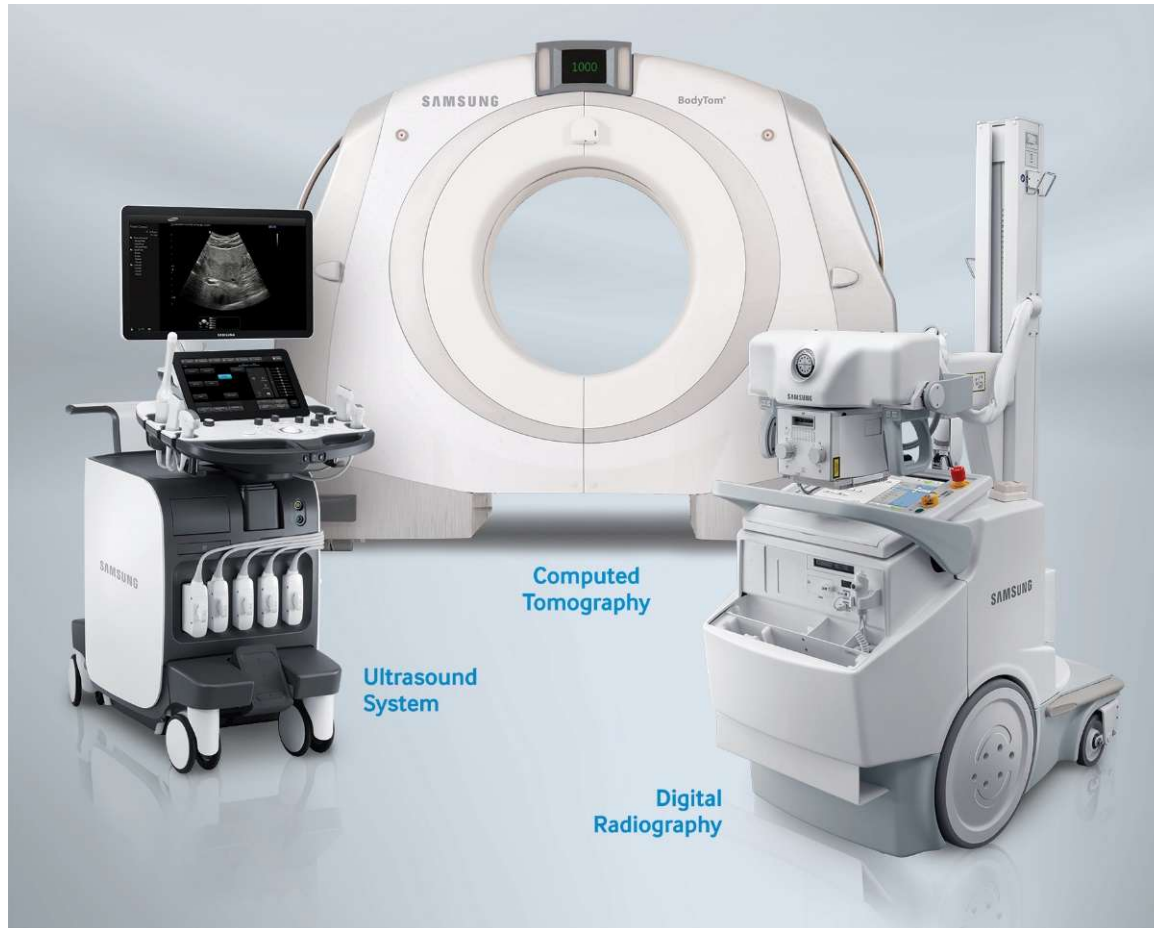


Earth observation and hyperspectral imaging



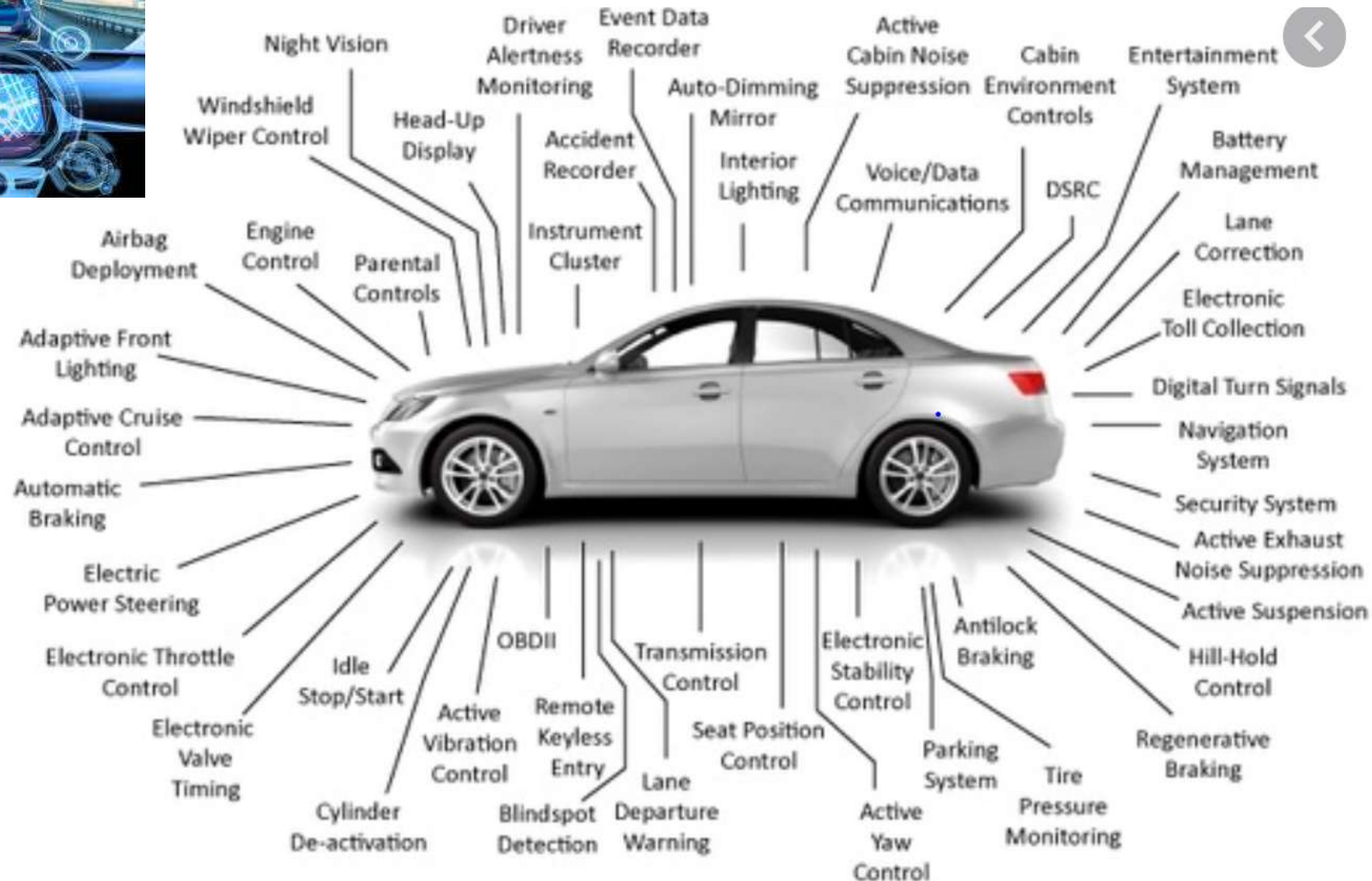
Τα ψηφιακά συστήματα βρίσκονται παντού!

- Μερικά παραδείγματα από την ιατρική



Τα ψηφιακά συστήματα βρίσκονται παντού!

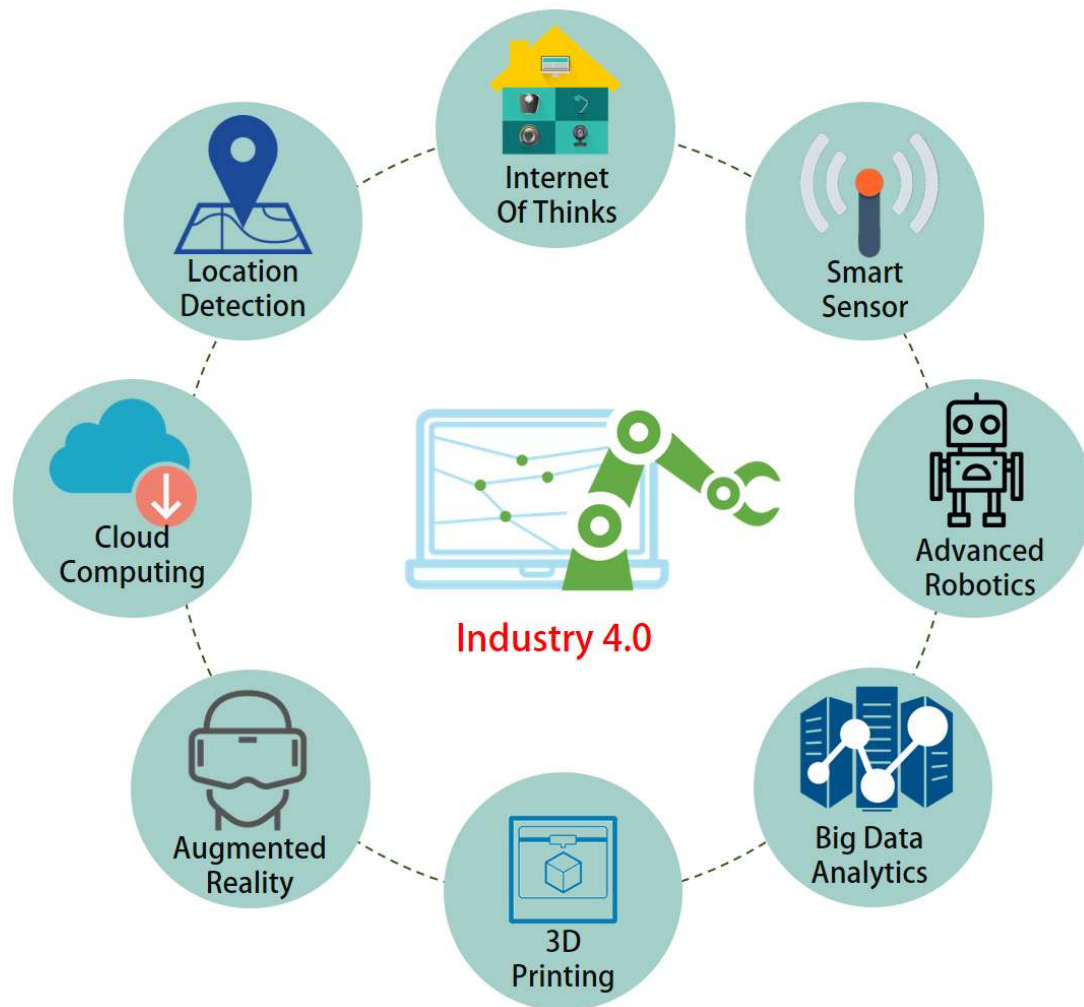
- Μερικά παραδείγματα από την αυτοκινητοβιομηχανία (AI, IoT)



Τα ψηφιακά συστήματα βρίσκονται παντού!

- Μερικά παραδείγματα από την ψηφιακή βιομηχανία

INDUSTRY 4.0 FRAMEWORK - THE DIGITAL TECHNOLOGIES



Robotics automation and machine learning @ industry



Big data analytics and machine learning @ data centers

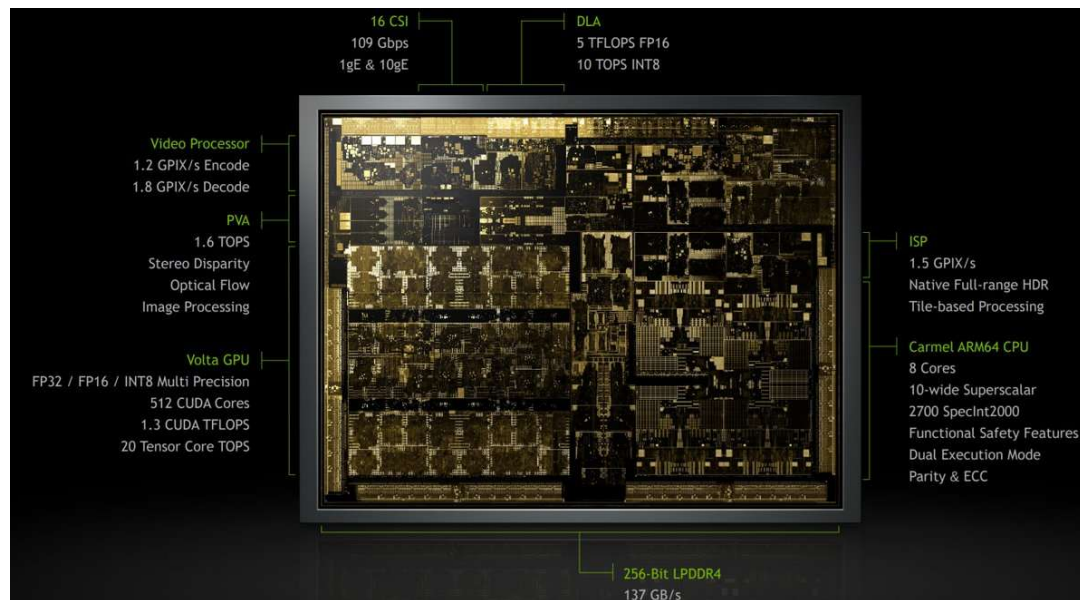
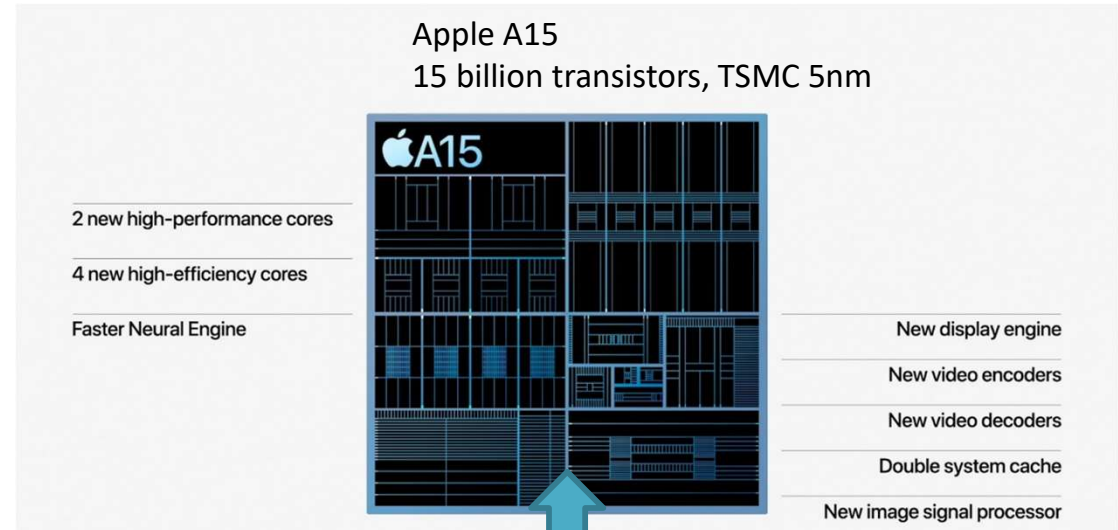
Επιταχυντές Υλικού: Βασική τεχνολογία υλοποίησης αποδοτικών συστημάτων

- Κανόνας 90/10
 - Συχνά, το 90% του χρόνου εκτέλεσης και της ενέργειας ενός προγράμματος δαπανάται από το 10% του κώδικα
 - Μικρά κομμάτια μιας εφαρμογής αποτελούν το bottleneck της απόδοσης
 - Αφορούν κυρίως επεξεργασία δεδομένων χωρίς πολύπλοκο έλεγχο (dataflow processing)
 - Πχ: επεξεργασία και συμπίεση εικόνας και βίντεο, κρυπτογραφία κλπ
 - Ο επιταχυντής υλικού υλοποιεί τα ειδικά κυκλώματα για την επιτάχυνση του κρίσιμου μέρους της εφαρμογής
 - Ο επεξεργαστής υλοποιεί τα λιγότερο κρίσιμα μέρη

Σύστημα (System-On-Chip) : επεξεργαστής + επιταχυντής υλικού

Παραδείγματα System-on-Chip

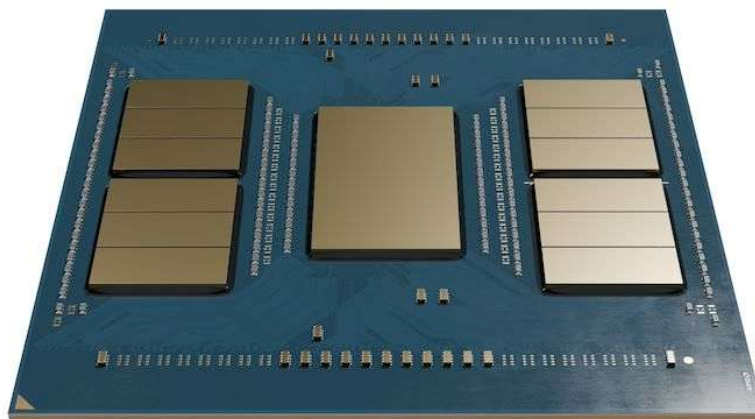
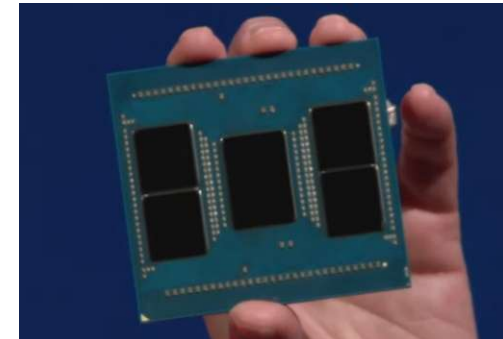
- Επεξεργαστές +
μεγάλος αριθμός από
επιταχυντές υλικού



NVIDIA Tegra Xavier
9 billion transistors, TSMC 12nm

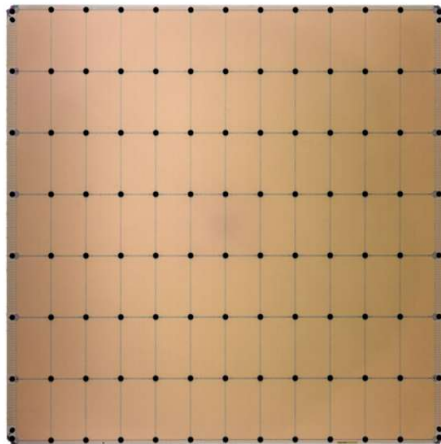
Ένας πολυπύρηνος (192-cores) επεξεργαστής για data centers

- **Turin:** AMD's Zen 5-based EPYC server processor , 3nm TSMC



Ένας πολυπύρηνος (900000-cores) επεξεργαστής για deep learning

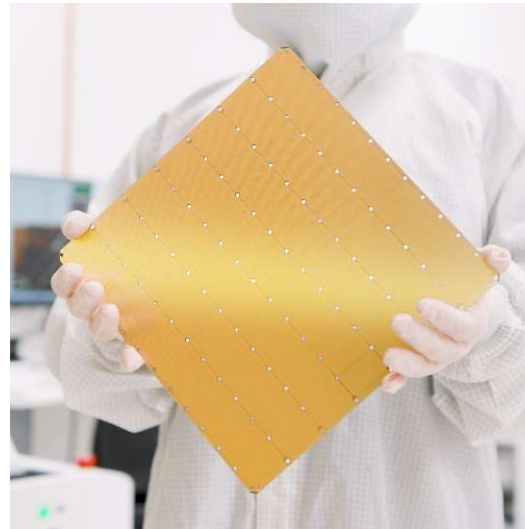
Wafer-Scale Engine (WSE) 4 Τρις transistors!!



Cerebras WSE-3
4 Trillion Transistors
46,225 mm² Silicon



Largest GPU
80 Billion Transistors
814 mm² Silicon



Cerebras Wafer-Scale Engine

Fabrication process

5nm

Silicon area

46,225mm²

Transistors

4 Trillion

AI-optimized cores

900,000

Memory (on-chip)

44GB

Memory bandwidth

21PB/s

Fabric bandwidth

214Pb/s

	WSE-3	Nvidia H100	Cerebras Advantage
Chip Size	46,225 mm ²	814 mm ²	57 X
Cores	900,000	16,896 FP32 + 528 Tensor	52X
On-chip memory	44 Gigabytes	0.05 Gigabytes	880 X
Memory bandwidth	21 Petabytes/sec	0.003 Petabytes/sec	7,000 X
Fabric bandwidth	214 Petabits/sec	0.0576 Petabits/sec	3,715 X

System-on-Chips για smartphones

A17Pro: anatomy of the first 3nm chip

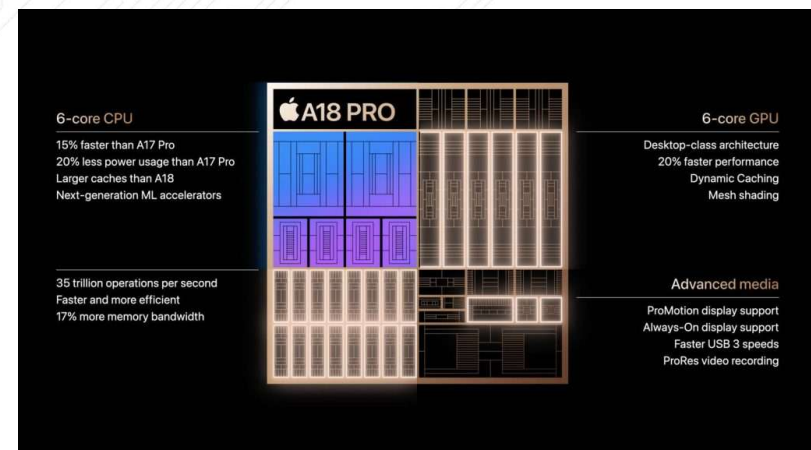
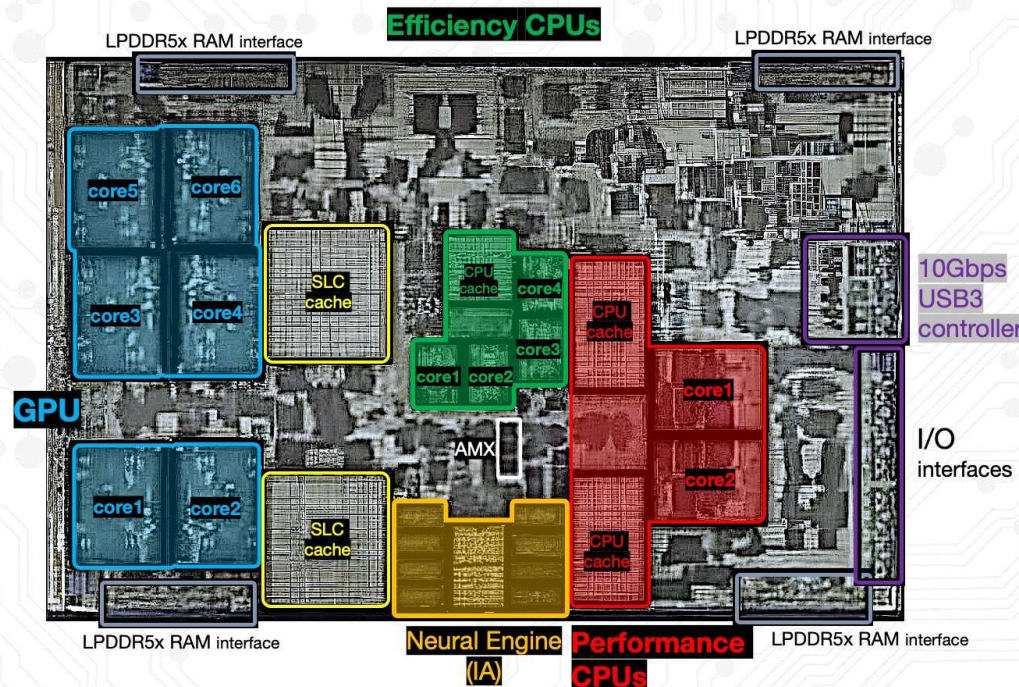


SoC design : **Apple**
SoC manufacturer : **TSMC**
Fab : **Fab18** (Tainan city, Taiwan)
Process : **3nm** (N3B)

Transistors : **19 billion**
+3 billion or +19% than A16 Bionic

Surface : **1cm²**
Dimension : 8.18mm x 12.69mm
-8,8% than A16 Bionic

Estimated yield : **50-60%**
~ 420 to 500 dies per wafer
-40 to -30% than A16 Bionic



System-on-Chips για laptops

Apple Silicon

M4

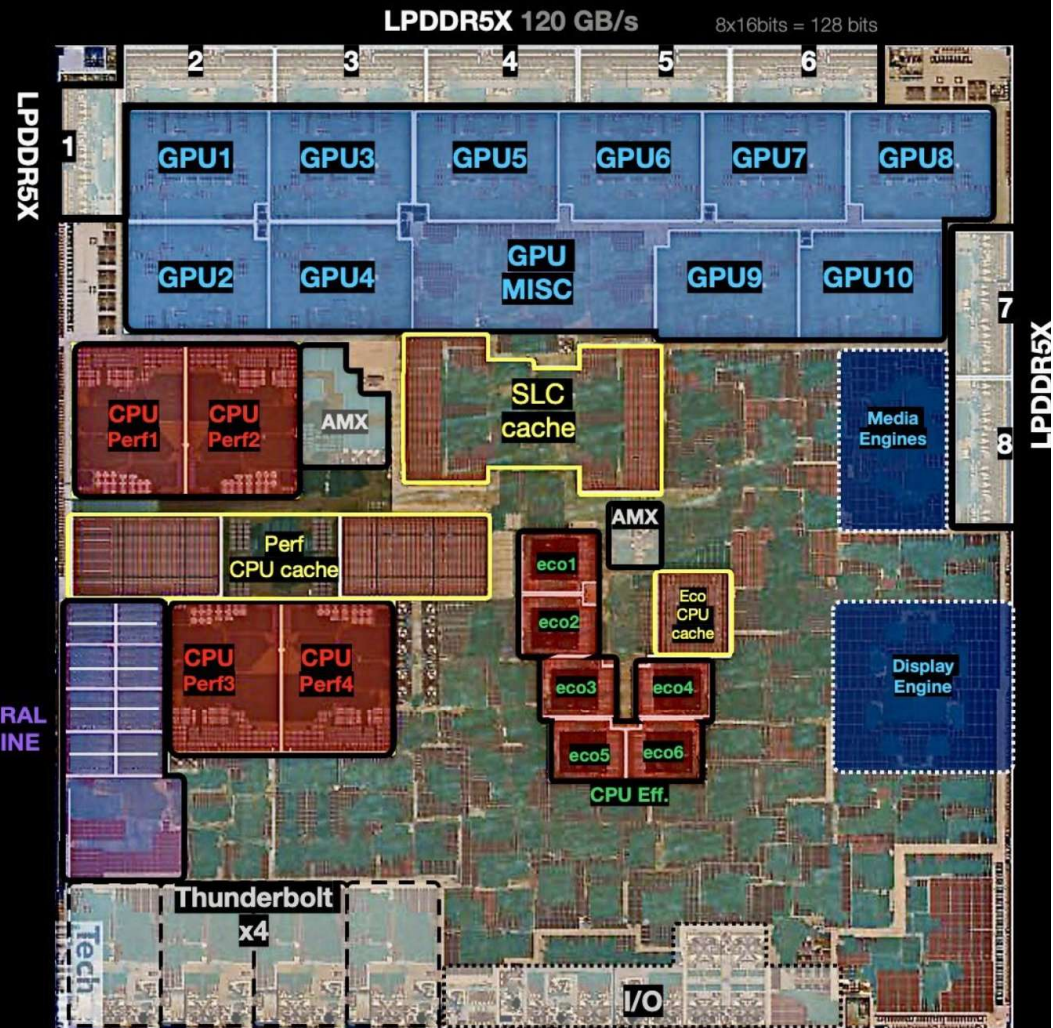
28 billion transistors
N3E TSMC (2n gen. 3nm)
Die size : 1.28mm x 1,21mm



Frederic_Orange

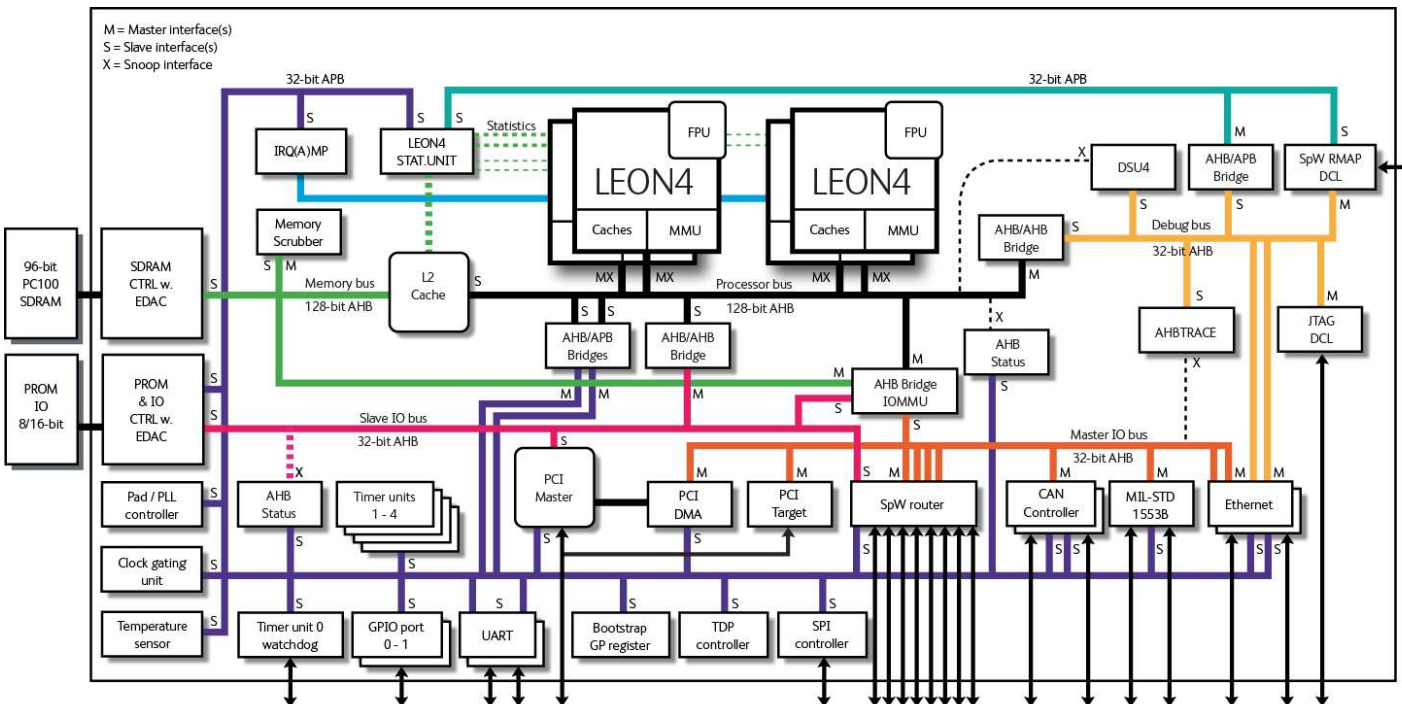
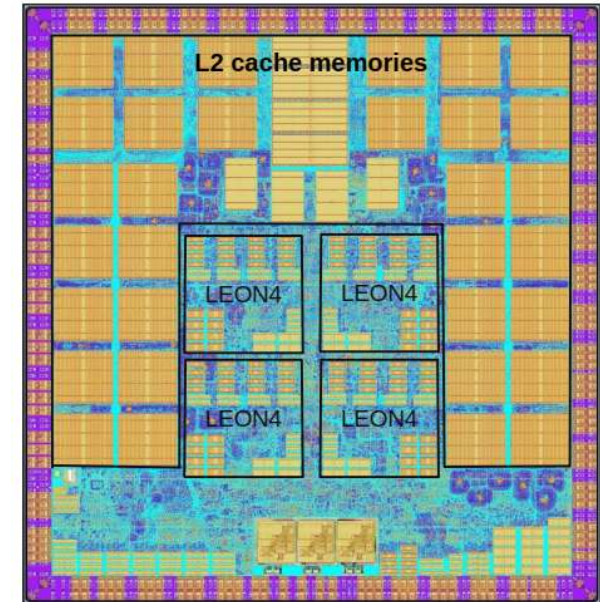


NEURAL
ENGINE



Παραδείγματα System-on-Chip στο διάστημα: Institutional Missions

- GR740: Quad Core LEON4 SPARC V8 Processor
 - Rad-hard SoC που περιλαμβάνει ένα quad-core fault-tolerant LEON4 SPARC V8 processor, SpaceWire router με 8 θύρες, PCI initiator/target interface, MIL-STD-1553B, CAN 2.0, UART, SPI, 10/100/1000 Mbit Ethernet interfaces
 - QML-Q/V qual. tests completed
 - QML-Q/V approval Q4 202
- Στοχεύει σε διαστημικές εφαρμογές υψηλής απόδοσης



Παραδείγματα System-on-Chip στο διάστημα: Institutional Missions



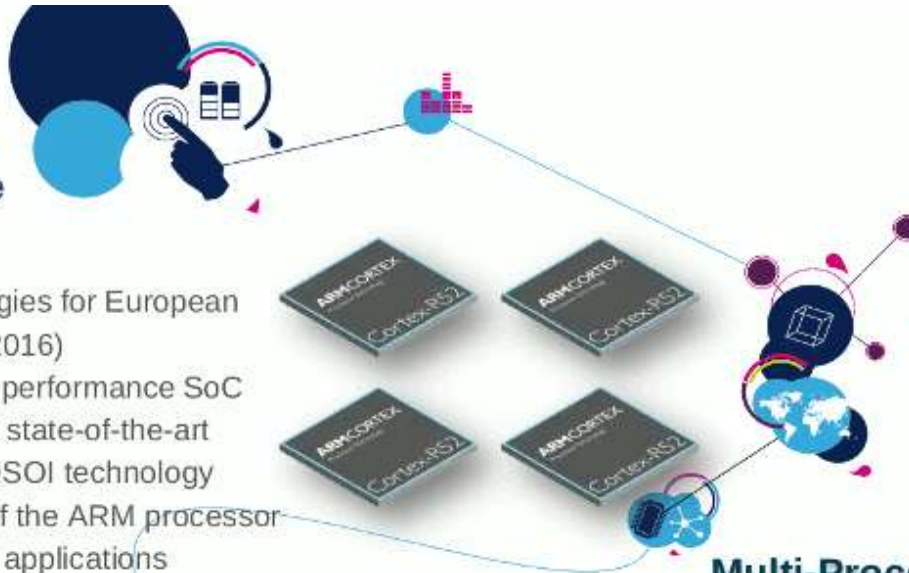
Deep sub-micron microprocessor for spAce

Context & Objectives

- H2020 project for “Critical Space Technologies for European Strategic Non-Dependence” (COMPET-1-2016)
- covers the development of a rad-hard high performance SoC with a quad-core architecture based on the state-of-the-art ARM Cortex-R52 implemented in 28nm FDSOI technology
- Beyond Space applications, the adoption of the ARM processor will enable the convergence with terrestrial applications benefiting from the strong ARM ecosystem.

7 partners from 4 countries

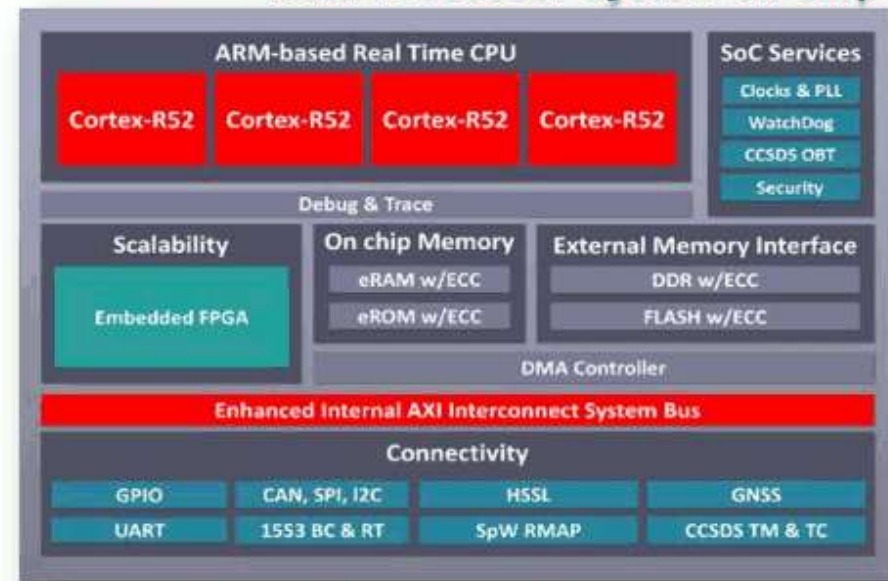
- STMicroelectronics (coordinator) France
- Airbus D&S Germany & France
- Thales Alenia Space Italy & France
- ISD Greece
- NanoXplore France



H2020 Schedule

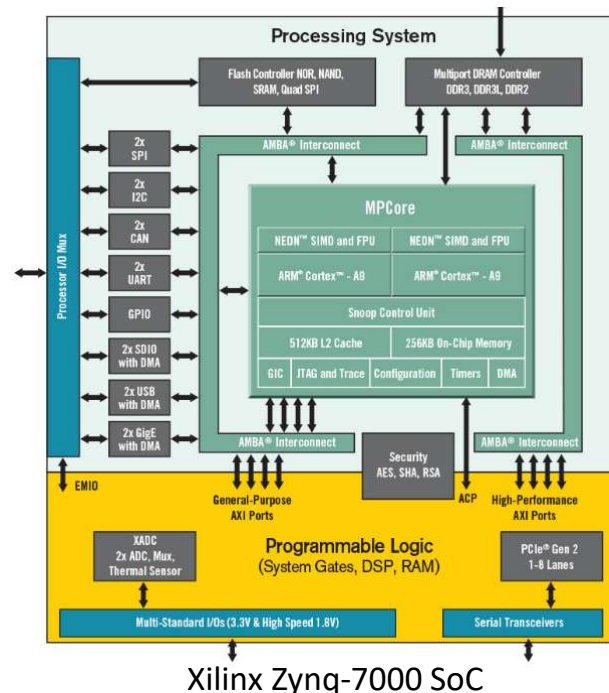
2017: Kick-off
2018: FPGA prototype
end 2019: DAHLIA product

Multi-Processor System on Chip



Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites

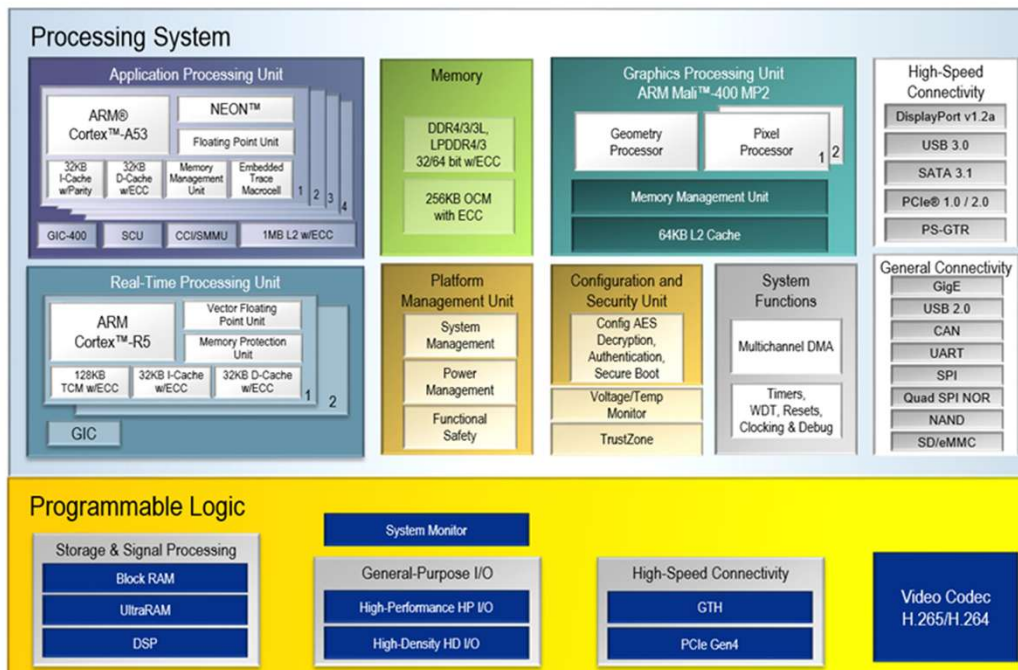
- NewSpace/Space 2.0: Εμπορευματοποίηση του διαστήματος
 - Χρήση Commercial-Off-The-Shelf (COTS) components
 - Υψηλή απόδοση για εφαρμογές on-board payload data processing
 - Minimize time-to-market
- Field Programmable Gate Arrays (FPGAs) System-On-Chip (SoC)
 - Σήμερα υπάρχουν διαθέσιμα FPGA SoC υψηλής απόδοσης και χωρητικότητας
 - Χρησιμοποιούνται ως System-On-Programmable-Chip (SoPC) ολοκληρώνοντας όλα τα συστατικά στοιχεία



Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites

- Η τεχνολογική εξέλιξη που αλλάζει την κλασσική προσέγγιση του **υλικού** και τα όρια της **συ-σχεδίασης υλικού-λογισμικού**
 - προγραμματιζόμενη λογική (για πυρήνες IP) + μνήμες + επεξεργαστές ARM + επεξεργαστές γραφικών + έτοιμοι επιταχυντές υλικού + συνδεσιμότητα υψηλής ταχύτητας σε ένα τσιπ (**AMD XILINX Multi-Processing System on Chip**)!
 - Το ενσωματωμένο λογισμικό μπορεί να εκτελεστεί από την SRAM στο FPGA
 - Λύση ενός τσιπ μειωμένου κόστους που αποφεύγει το κόστος ανάπτυξης νέου ASIC

Zynq® UltraScale+™ MPSoCs: EV Block Diagram

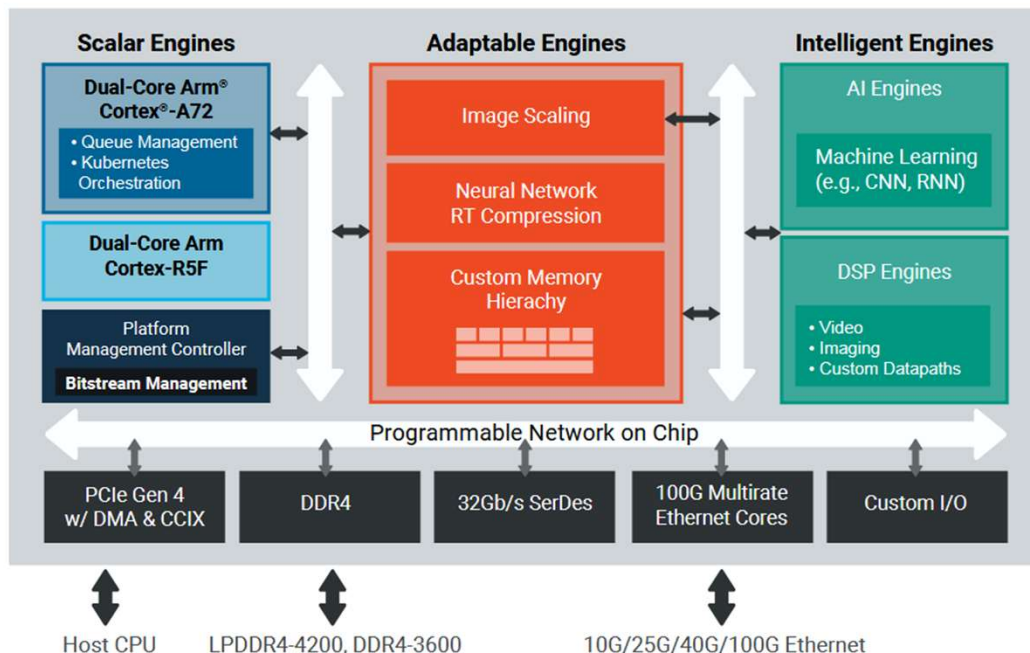


Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites

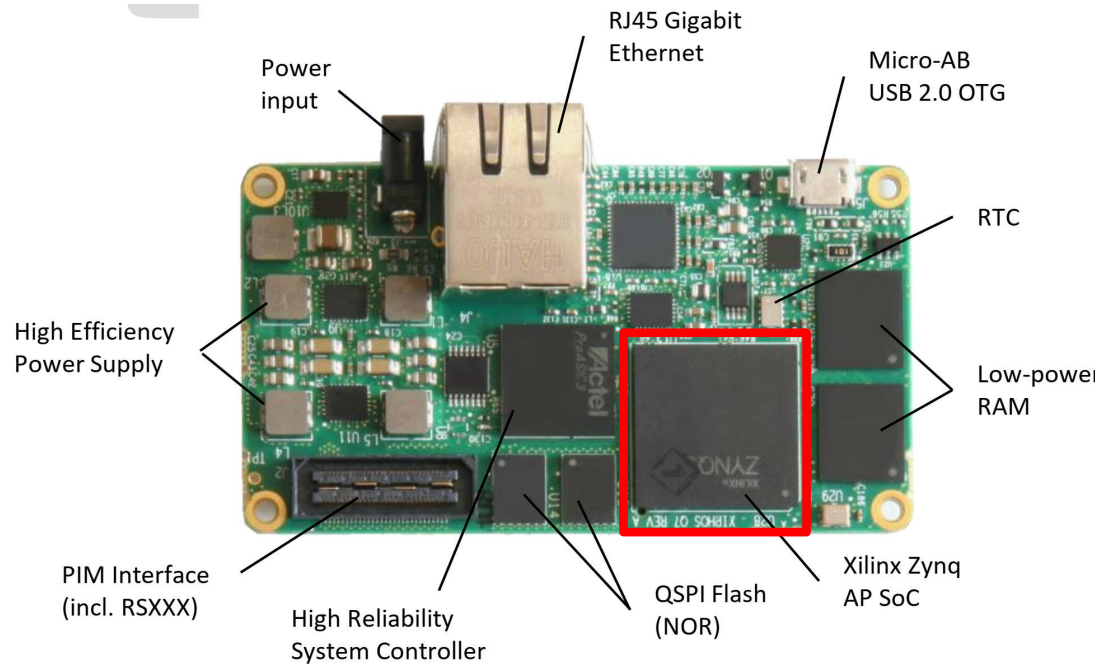
■ Η τεχνολογική εξέλιξη που αλλάζει τα όρια της **συμπερασματολογίας*** στην **τεχνητή νοημοσύνη (AI)**

- Είναι προσαρμόσιμη σε εξελισσόμενους αλγόριθμους τεχνητής νοημοσύνης
- Συνδυάζει *AI Engines, DSP Engines, Adaptable Engines* (π.χ για συμπιεσμένα νευρωνικά δίκτυα), προγραμματιζόμενη λογική και επεξεργαστές ARM (**AMD XILINX Versal Adaptive System on Chip**)!
- Διαθέτει προγραμματιζόμενο δίκτυο σε τσιπ και διεπαφές υψηλής ταχύτητας
- Διασφαλίζει βελτιστοποιημένη συνδεσιμότητα με το Κέντρο Δεδομένων

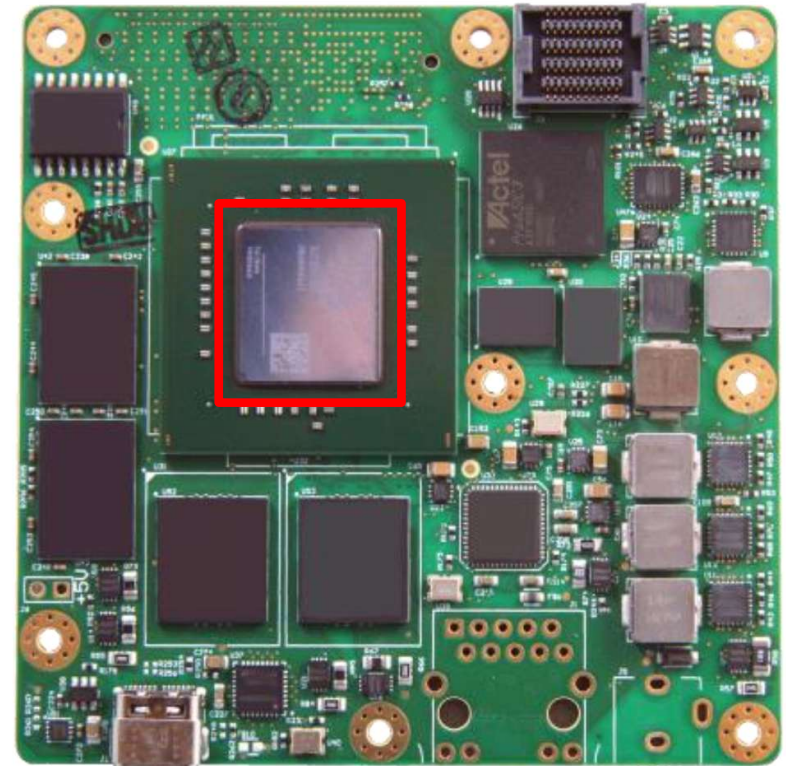
* Είναι η διαδικασία όπου ένα εκπαιδευμένο μοντέλο μηχανικής μάθησης χρησιμοποιεί τις γνώσεις που έχει μάθει για να κάνει προβλέψεις ή να πάρει αποφάσεις σχετικά με νέα, άγνωστα δεδομένα.



Παραδείγματα System-on-Chip στο διάστημα: NewSpace/Space 2.0, CubeSats, Nanosatellites



Xiphos Q7 Q-Card (Zynq-7020 FPGA SoC)
ARM dual-core Cortex-A9 MPCore
processors each up to 766 MHz
Mass 24g, Power 2W, 78mm X 43mm X 9mm



Xiphos Q8 Q-Card (Zynq UltraScale+ XCZU7EG)
Quad-core ARM Cortex-A53 Application
Processing Unit at up to 1.2 GHz
Mass 64g, Power 4W, 85.8mm X 80mm X 11.2mm

OBC/PDPU για CubeSats



Hardware features:

SoC Xilinx Zynq 7030/7045 Programmable SoC.

Dual ARM Cortex A9 MPCore, clocked up to 800 MHz

Powerful FPGA module – 125K / 350K logic cells

Volatile Memory

1024MB DDR3 (512MB with ECC enabled)

Non-volatile Memory

256 MB NOR flash

70GB eMMC (pSLC) and 233GB eMMC (MLC)

Mechanical dimensions 95 mm x 95 mm x 31.5 mm

Mass 240g

Power supply voltage 12-32V DC

Interfaces:

SpaceWire x3, data link/network layer

USB x1, host/device

CAN/I2C/SPI/RS422/RS485/PPS

Fully Configurable I/O

FPGA I/O 11 x LVDS pairs, 10 x I/O

Conditionally Configurable I/O

FPGA I/O 12 x LVDS pairs (or Spacewire)

8 x I/O (or RS-485)

ARM I/O 6 x I/O (or eMMC#2)

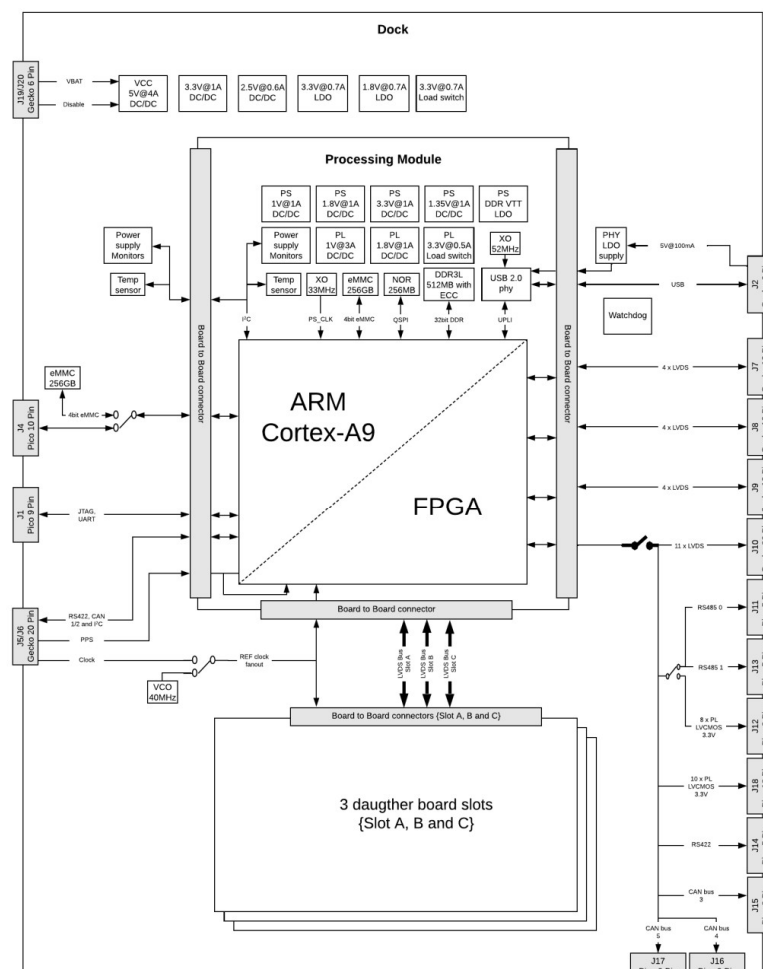
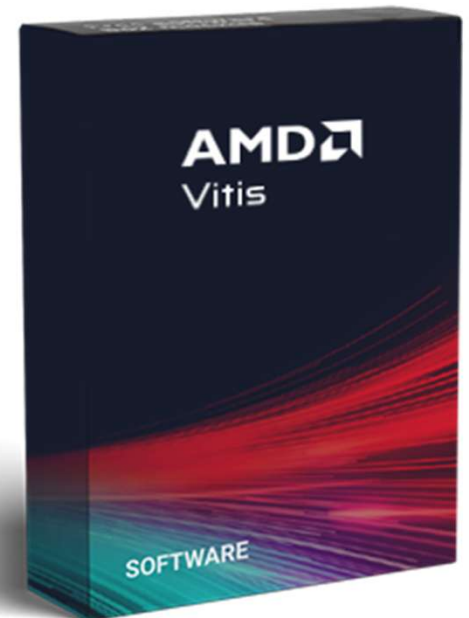
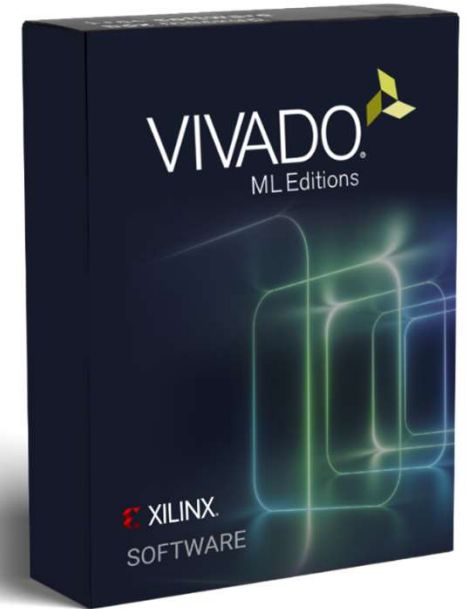
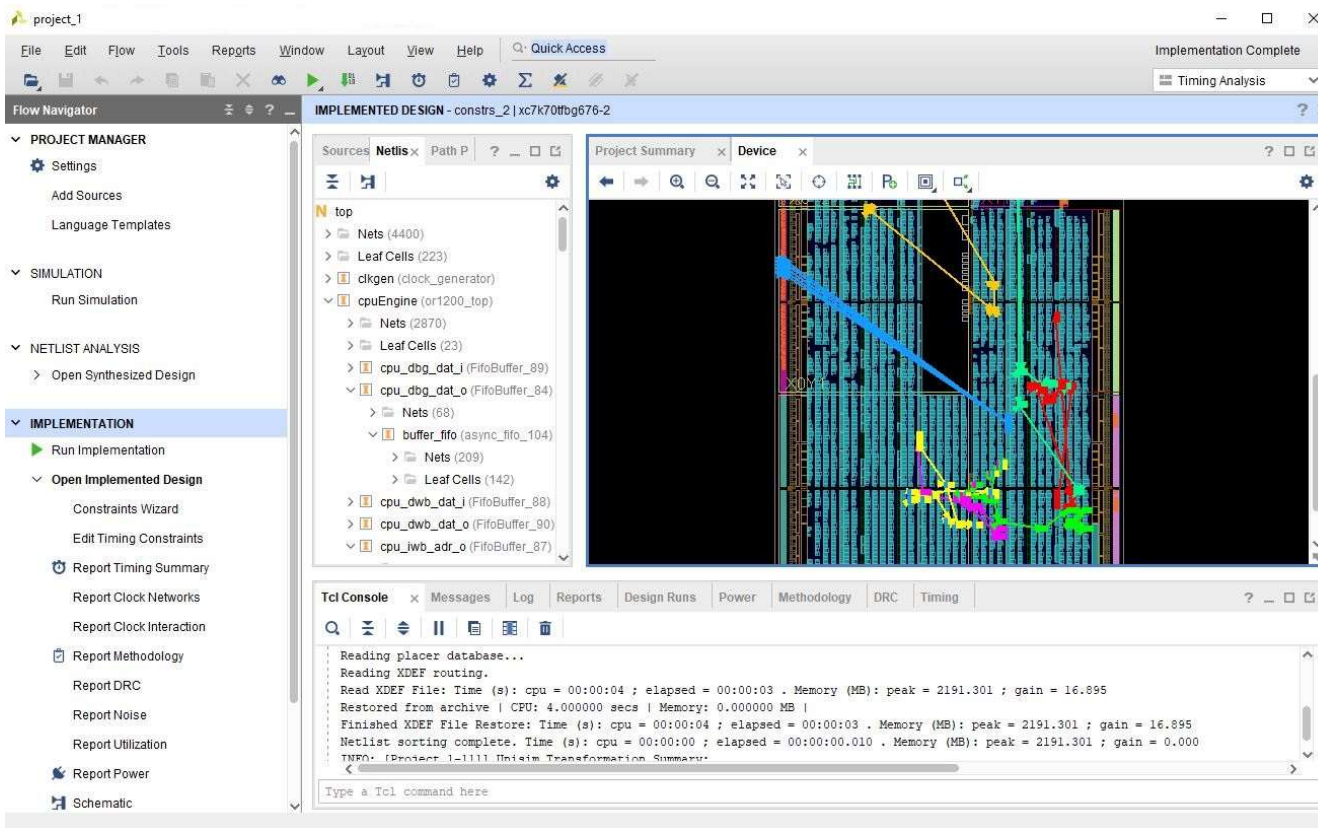


Figure 3.1: NanoMind HP MK3 Block diagram

Credit: Gomspace

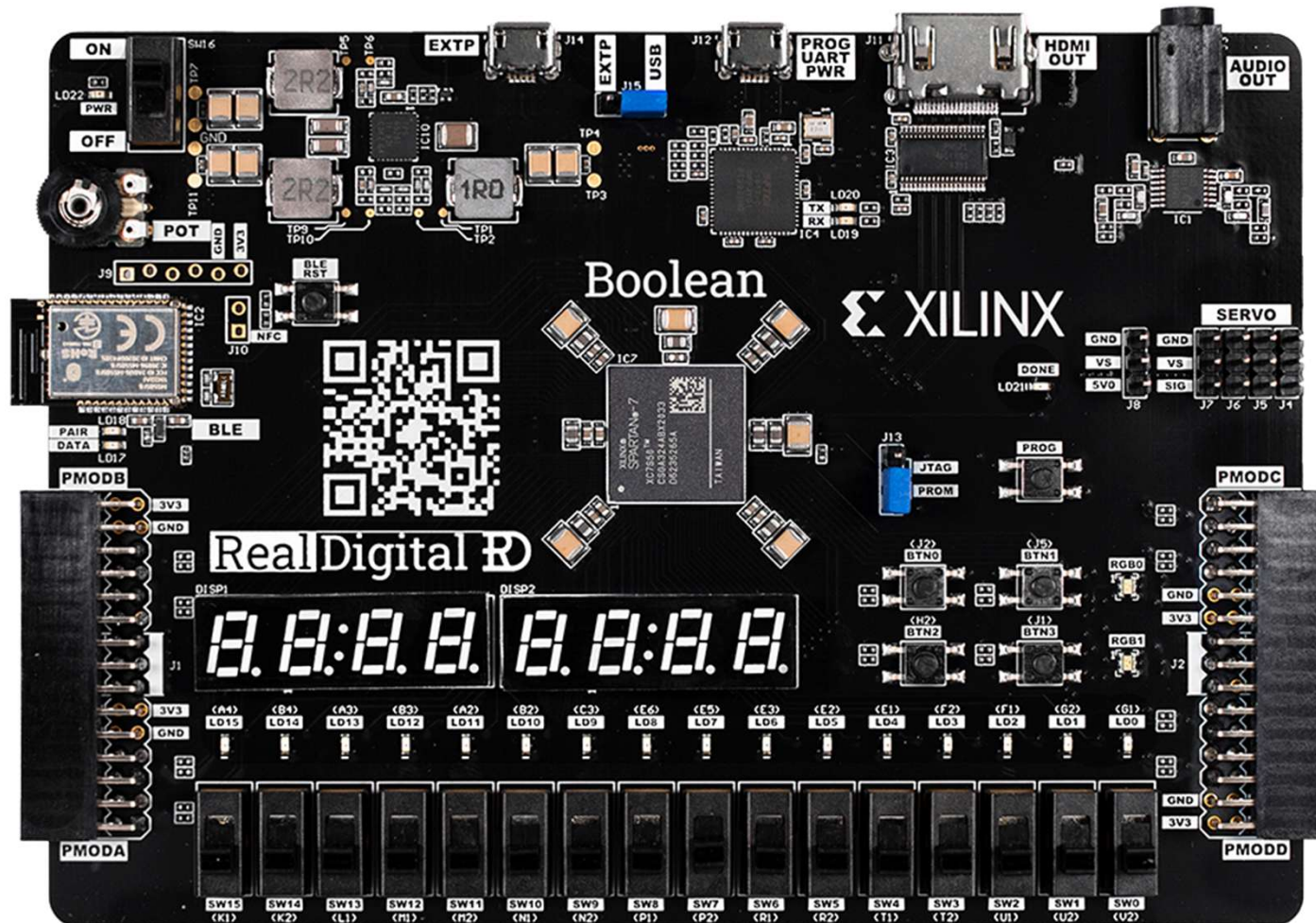
Εργαλεία Λογισμικού

- Xilinx Vivado ML + Vitis
- WebPACK (Δωρεάν έκδοση)
<https://www.xilinx.com/support/download.html>



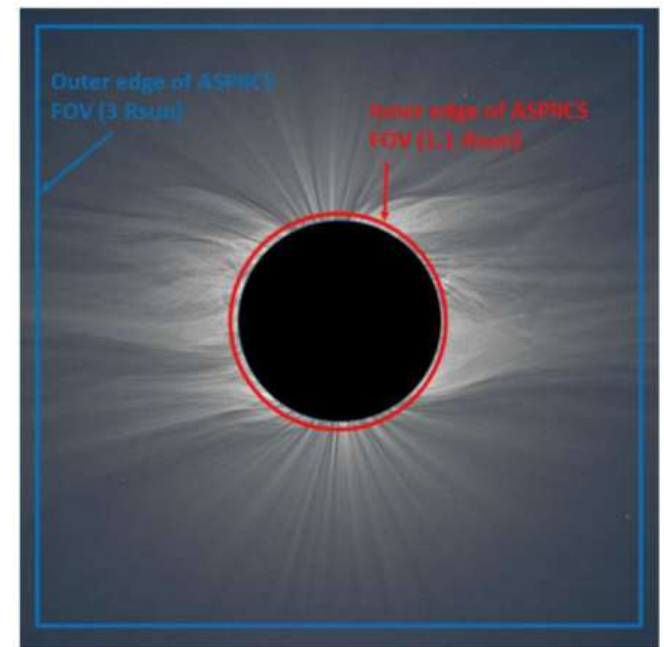
Ανάπτυξη επεξεργαστή RISC «στο σπίτι»

- Κόστος λογισμικού: 0€ WebPACK (Δωρεάν έκδοση)
- Κόστος αναπτυξιακής κάρτας: 69€
 - Xilinx Spartan 7 XC7S50 FPGA



ESA Proba-3 Mission Overview

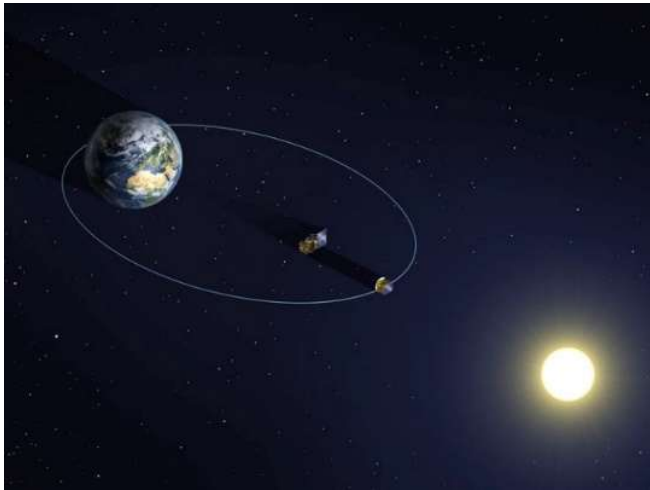
- ESA Proba-3 mission consists of two S/C, the Coronagraph and the Occulter, flying in close proximity (about 150m, accuracy few mm)
- A giant coronagraph is implemented by one satellite occulting the sun and the other satellite flying a telescope
- Mission Duration
 - Launch: 2024
 - Lifetime: >3-4 years



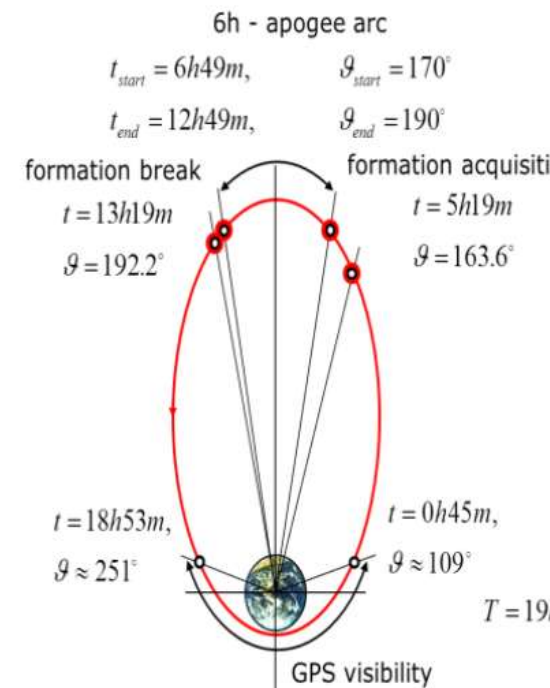
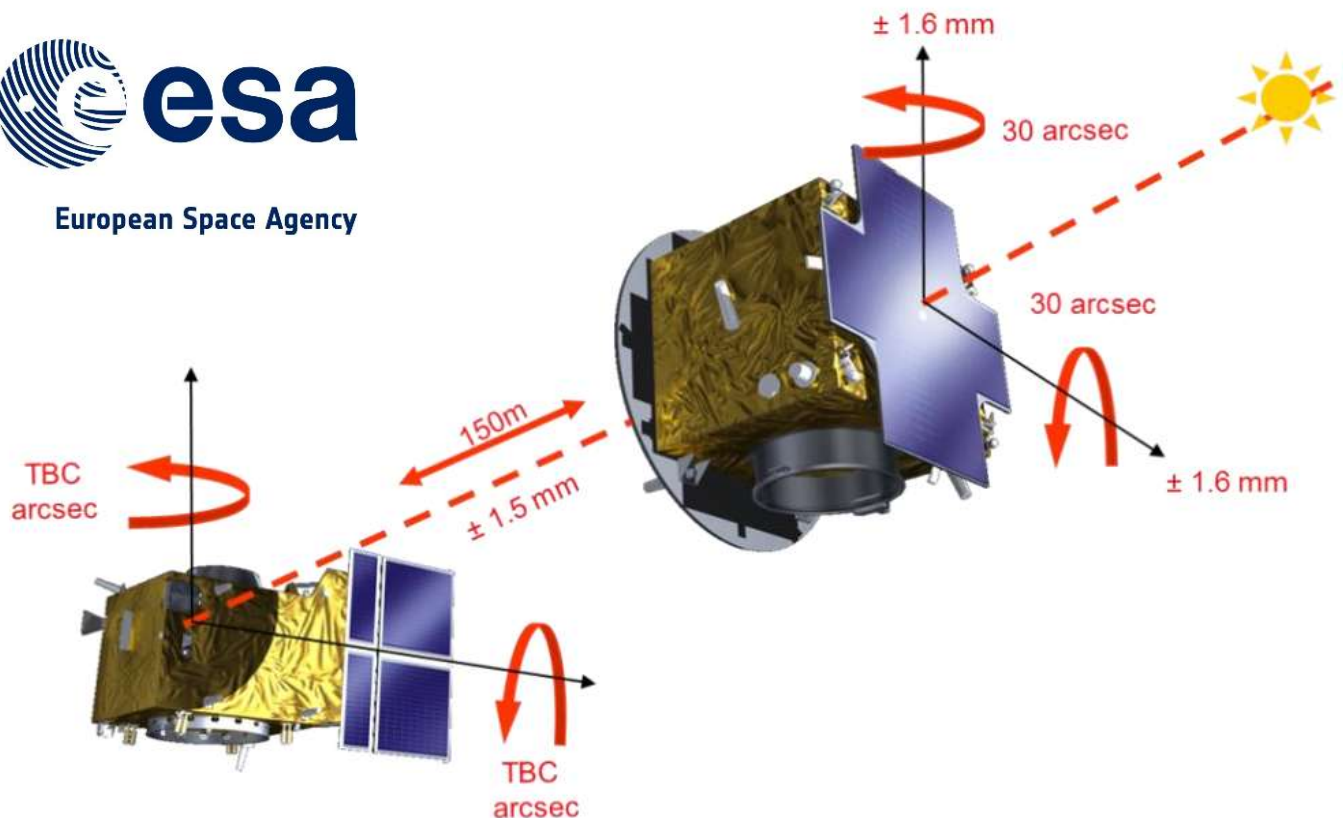
European Space Agency

https://www.youtube.com/watch?v=Aja1XGJJ_ww&t=50s

ESA Proba-3 Mission Overview



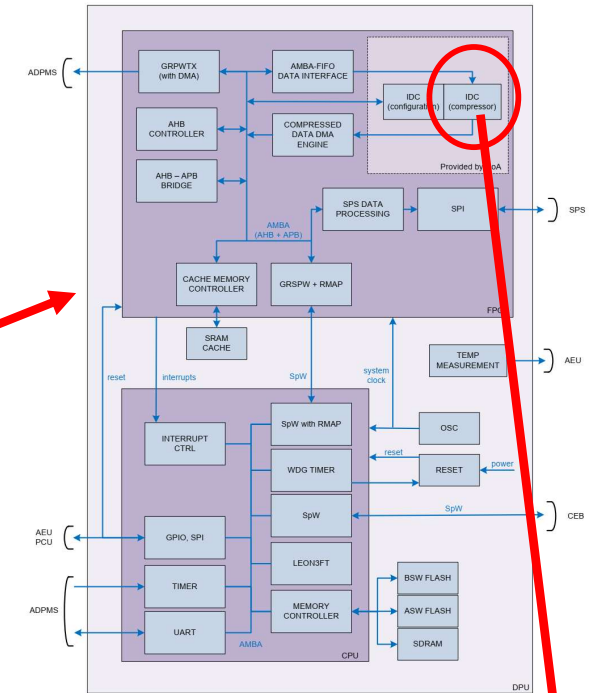
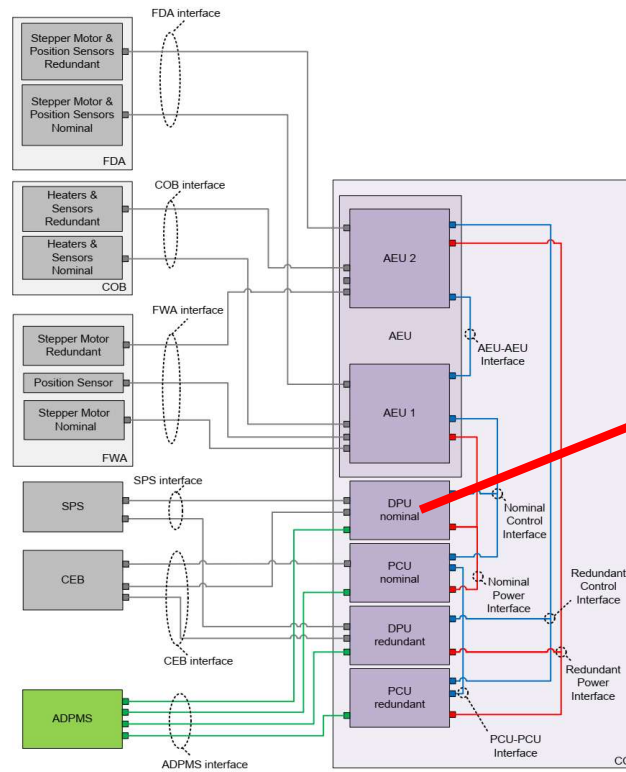
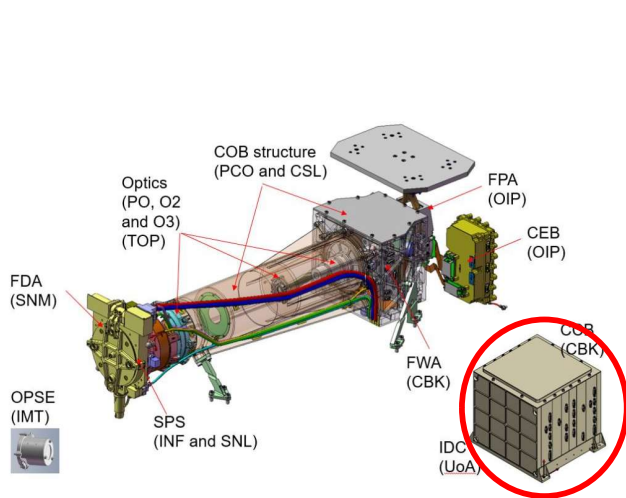
- Mission Orbit
 - Orbit type: Highly Elliptical Orbit (HEO)
600 x 60 530 km, 59° incl.
- Formation Flying maneuvers and coronagraphy measurements at apogee



NKUA @ ESA Proba-3 Mission



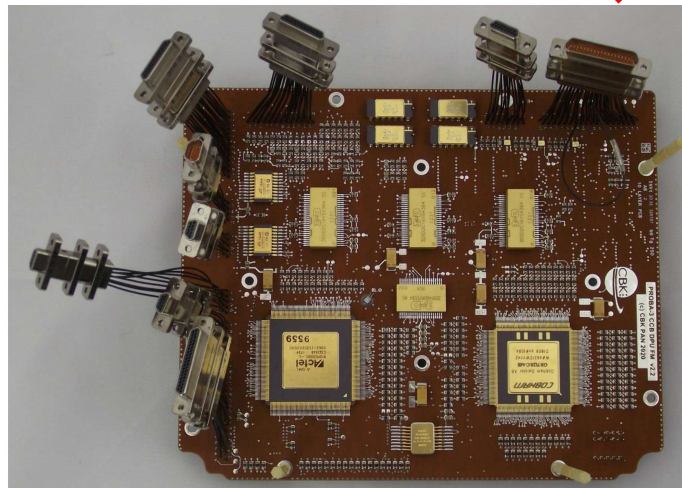
European Space Agency



Overview of ASPIICS
Coronagraph Instrument

ASPIICS CCB Architecture

ASPIICS DPU Architecture



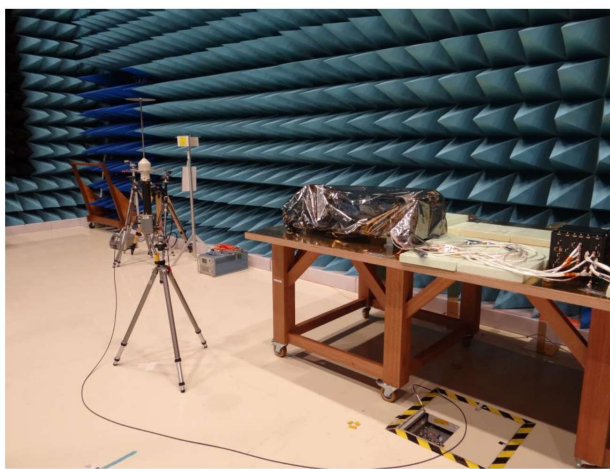


April 2020: CCB EM

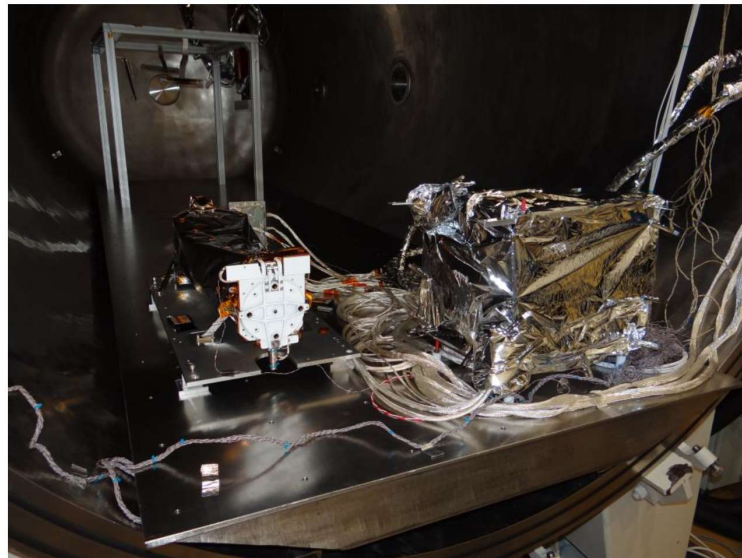


July 2021: CCB PFM

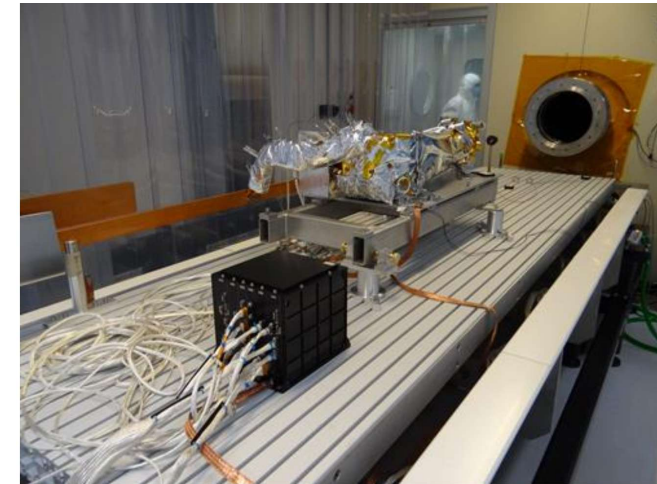
NKUA @ ESA Proba-3 Mission



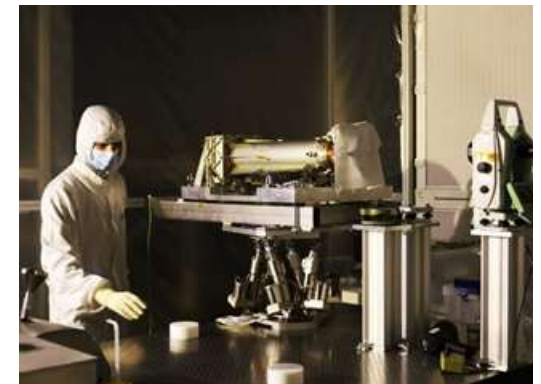
October 21
COB FM EMC test
completed



October 21
TVAC test of CCB PFM
connected to COB FM and
CEB PFM



November 21
Calibration of the instrument
at INAF Turin



https://www.youtube.com/watch?v=Aja1XGJJ_ww

NKUA @ ESA Proba-3 Mission

- **May 2023**
- Completed integration of ESA #PROBA3 mission in Redwire (former QinetiQ Space) cleanroom in Belgium
- Spacecraft left our Redwire to go to IABG Germany for further testing



NKUA @ ESA Proba-3 Mission

- **June 23**
- Stacked Proba-3 satellites being surrounded by microphones in preparation for **acoustic testing** at IABG, simulating the noise of a launcher take-off



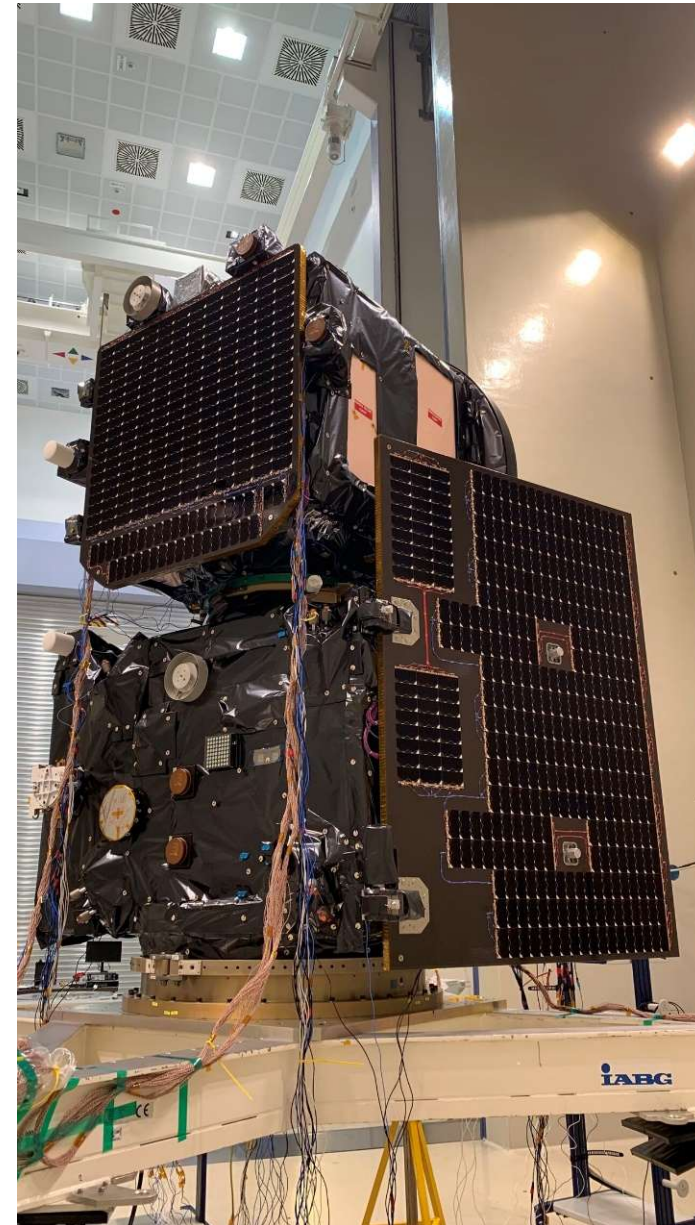
NKUA @ ESA Proba-3 Mission

- July 2023: Vibration tests passed successfully!
- Checked that the satellites can withstand the vibration and acoustic environment seen during the launch
- Checked the behaviour of the mechanisms deploying the solar panel in the CSC or separating the stack at the beginning of the mission.



NKUA @ ESA Proba-3 Mission

- August 2023: Thermal vacuum testing completed successfully!
- PROBA-3 satellites spent two weeks in IABG 3m-TVAC chamber to test the functionality of the fully integrated, separated spacecrafts under space thermal conditions at the IABG Space Test Center
- In standard operations, the satellites will be facing the sun with a high internal dissipation from the sensors and payloads. But they have also to survive long eclipse phases in a dark and cold environment with a limited number of essential units powered-on.
- Testing completed successfully; PROBA-3 one step closer to launch.



NKUA @ ESA Proba-3 Mission

The road to launch



Proba-3 spacecraft are loaded on to the airplane for their flight to India.



Proba-3 Arrives in India



Proba-3 Satellites successfully stacked ahead of hydrazine fueling



NKUA @ ESA Proba-3 Mission

Proba-3 mission lifted off on its PSLV-XL rocket from Satish Dhawan Space Centre in Sriharikota, India, on **Thursday, 5 December 2024**, at 11:34 CET



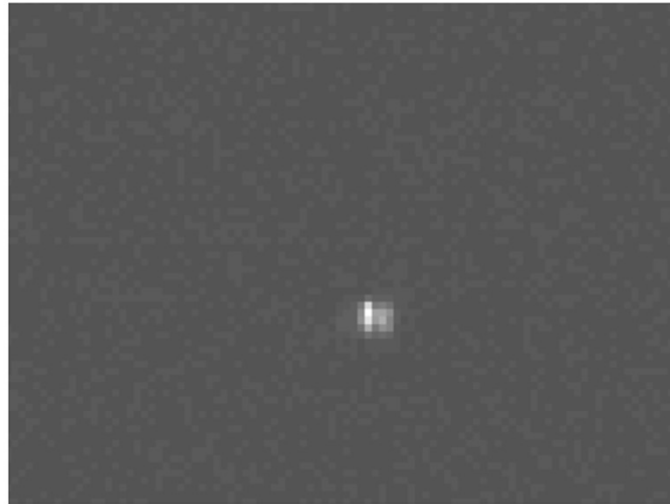
<https://www.youtube.com/watch?v=U5EUglTvy3Y>



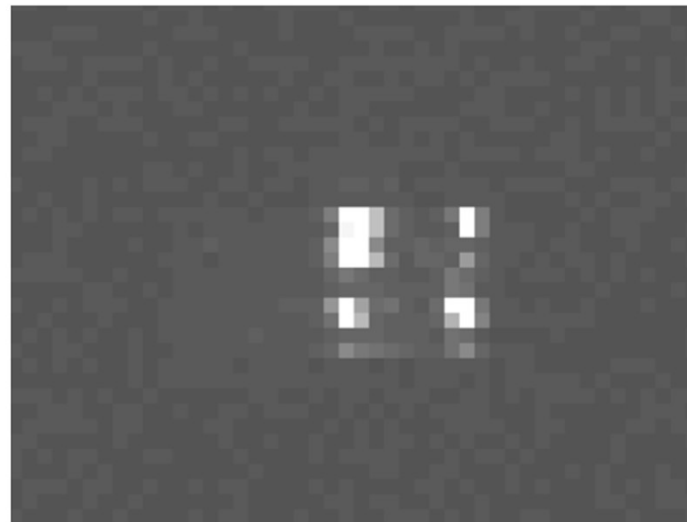
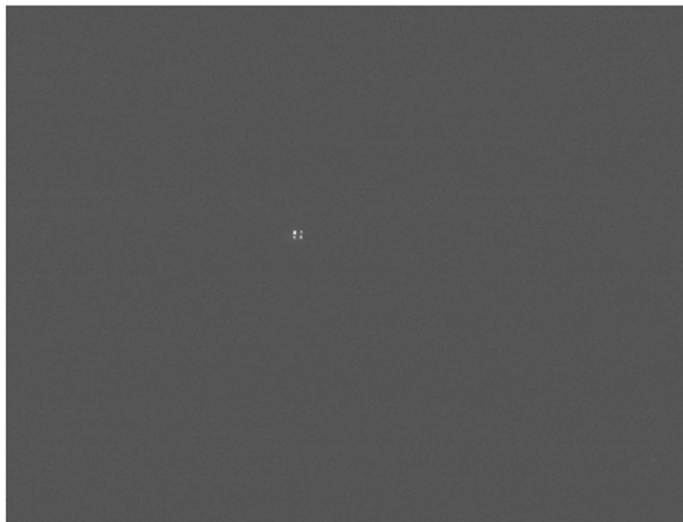
Proba-3 blog <https://blogs.esa.int/proba-3>
News and updates on ESA's precision formation flying mission

NKUA @ ESA Proba-3 Mission

Coronagraph Spacecraft (CSC) imaged by the Occulter Spacecraft (OSC)



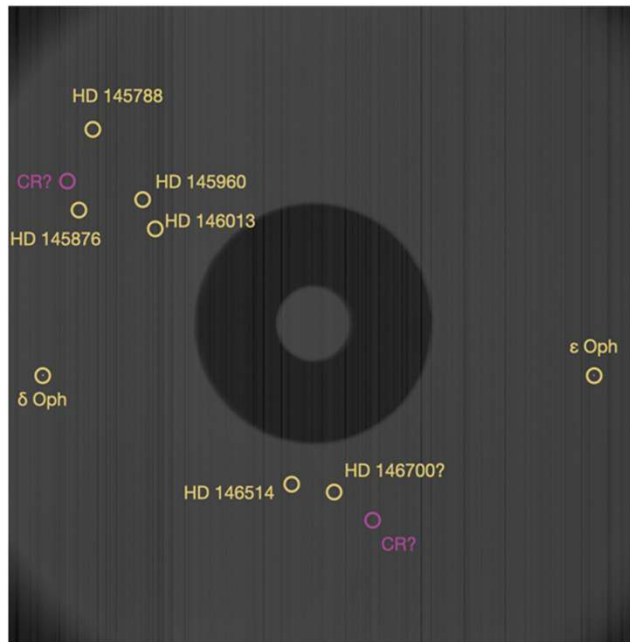
Two spacecrafts
≈4.5 km apart



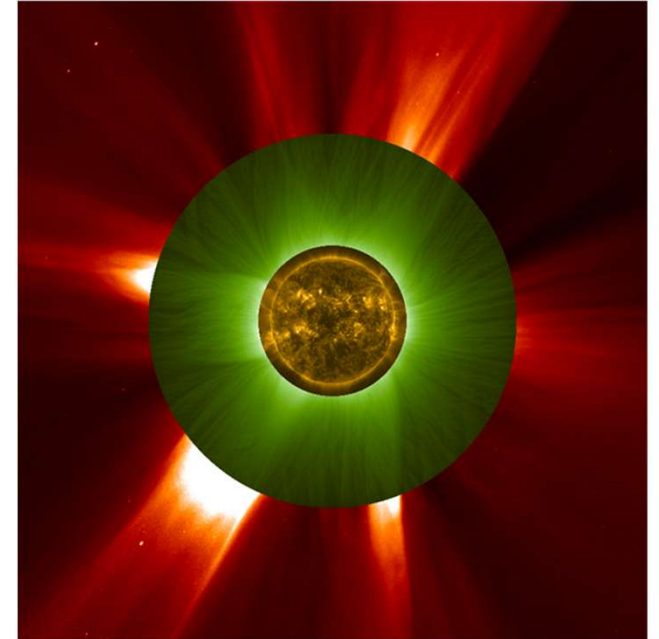
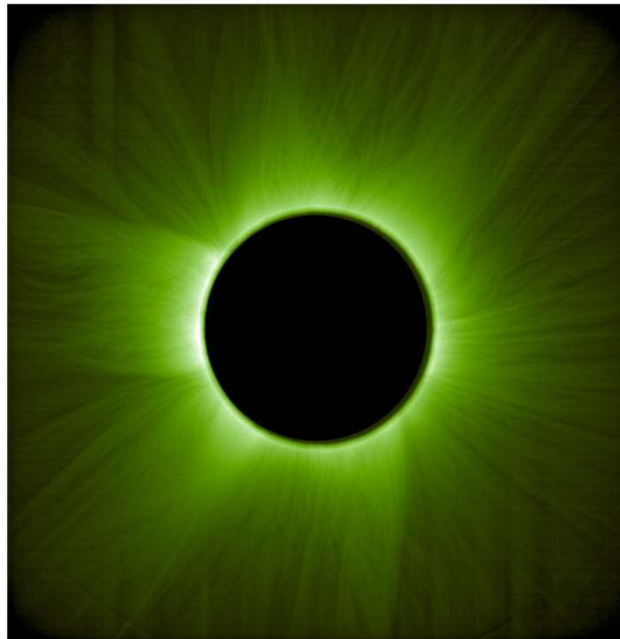
Two spacecrafts
≈1.2 km apart

NKUA @ ESA Proba-3 Mission

First coronagraph image after IOV



Solar corona viewed by PROBA-3 ASPIICS The Sun and its corona viewed by PROBA-2/3 SOHO

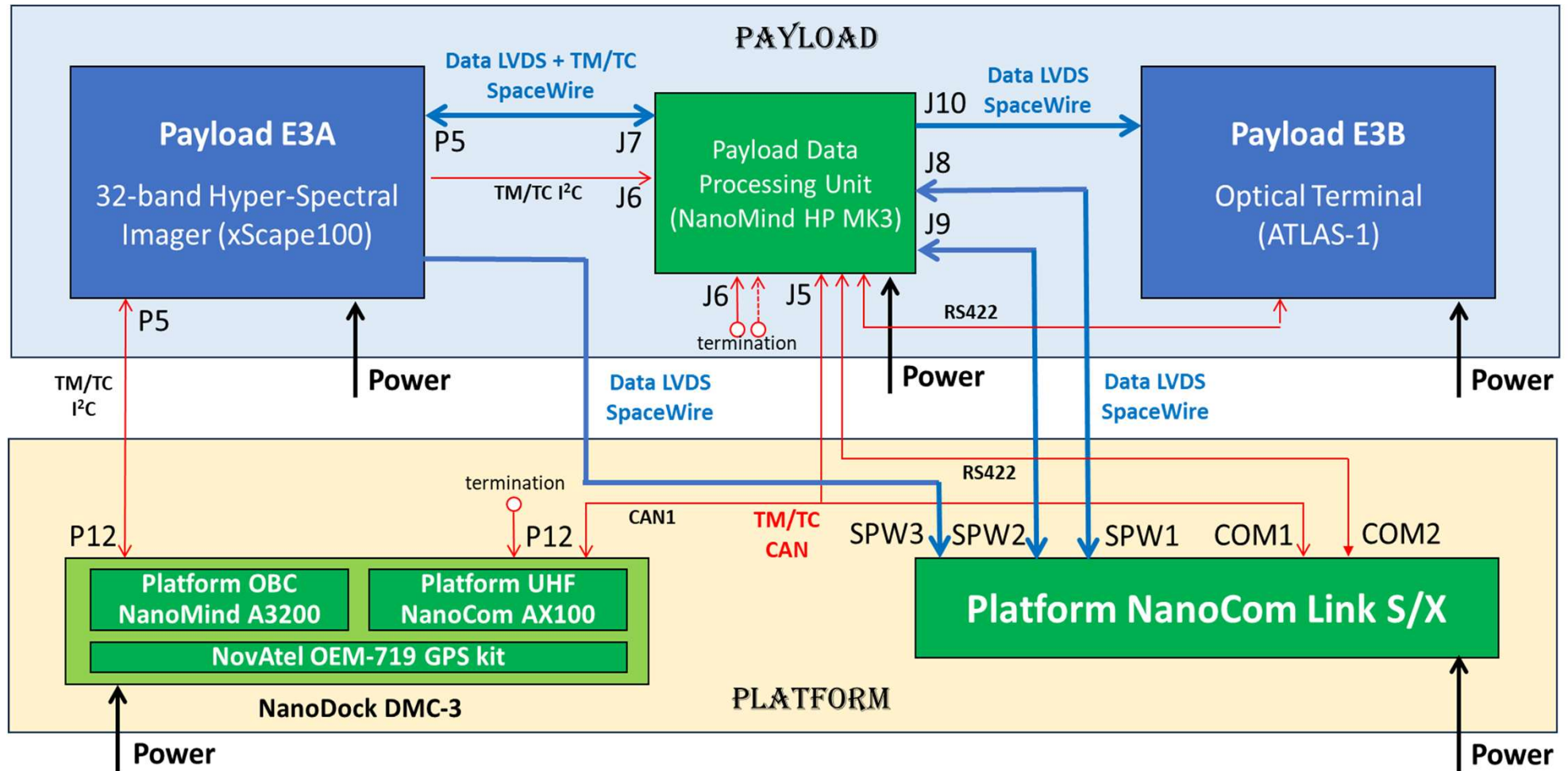


Διαστημικό πρόγραμμα ERMIS του ΕΚΠΑ



Το διαστημικό πρόγραμμα ERMIS (Hellenic Cubesat Demonstration Mission) με την κατασκευή 3 CubeSats στο ΕΚΠΑ έχει σαν στόχο να πιστοποιήσει νέες, καινοτόμες διαστημικές τεχνολογίες και εφαρμογές, όπως: επικοινωνίες IoT/5G, δια-δορυφορικές συνδέσεις (ERMIS-1/2, 6U, 10Kg), **επεξεργασία εικόνας σε τροχιά με χρήση επιταχυντών υλικού για αλγόριθμους συμπίεσης υπερφασματικών εικόνων και κωδικοποίηση οπτικού καναλιού σύμφωνα με τα διαστημικά πρότυπα CCSDS**, αλγόριθμοι αυτομάτου ελέγχου για την παρατήρηση και τον έλεγχο της ακριβούς θέσης του δορυφόρου, οπτικές επικοινωνίες με laser στο 1Gbps και σύνδεση του δορυφόρου με τον οπτικό διαστημικό σταθμό εδάφους στον Χελμό, καθώς και υπερφασματική τηλεπισκόπηση με ακρίβεια 5m για διαστημικές εφαρμογές εθνικού ενδιαφέροντος, όπως για παράδειγμα έξυπνη γεωργία (ERMIS-3, 8U, 12Kg). Εκτόξευση: Φεβρουάριος 2026. Συντονίζει το Τμήμα Αεροδιαστημικής Επιστήμης & Τεχνολογίας του Εθνικού και Καποδιστριακού Πανεπιστημίου Αθηνών.

ERMIS Payload Data Processing Unit



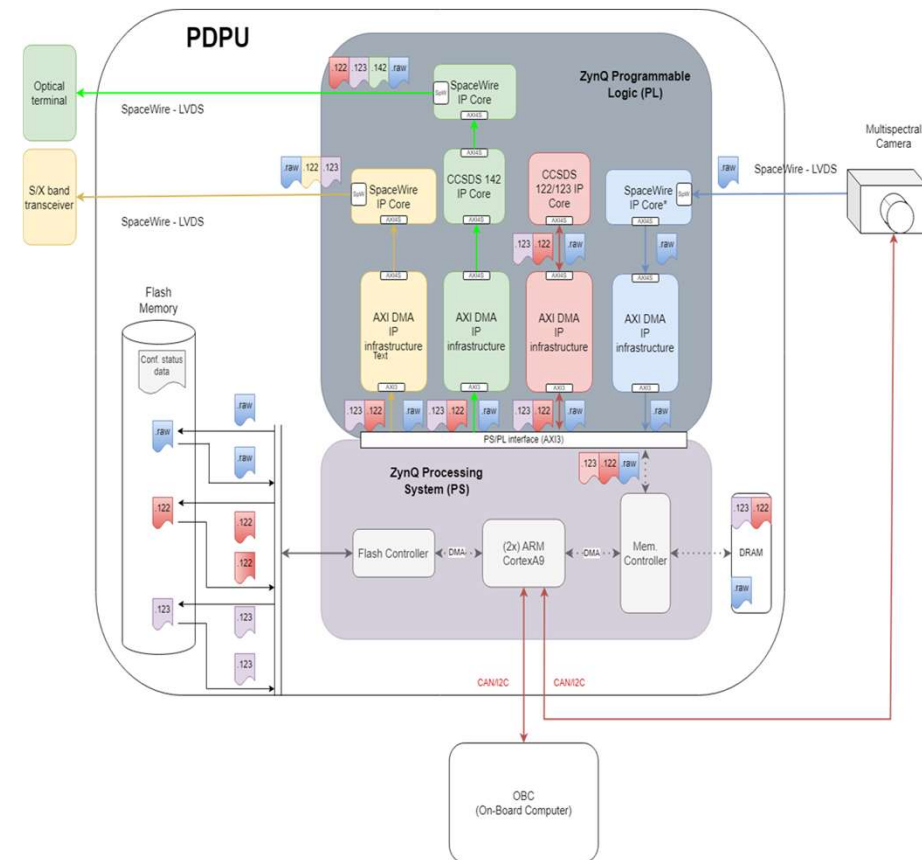
ERMIS Payload Data Processing Unit

Interfaces

- Data: 100Mbps SpW
- TM/TC: CANbus/I²C/RS-422/SpW

Functional description

- All modes read from or write to flash (no temporary storage on DRAM)
- Camera readout to flash: control camera interface (SpW/I²C)
- CCSDS 122/123 compression: read from flash-compress-write to flash
- Optical downlink: read compressed data from flash & transmit to terminal with/without CCSDS 142 encoding (on-line)
- S/X band downlink: read compressed data from flash & transmit to terminal
- Different bitstreams: radiation protection
- Controller application (on PS) to handle data flows
- Failure Detection Isolation and Recovery
- **Flight heritage in 2026 (ERMIS mission)**



DSCAL
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

Built in a GOMSpace
NanoMind HP MK3