

ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ



ΕΡΓΑΣΤΗΡΙΟ ΛΟΓΙΚΗΣ ΣΧΕΔΙΑΣΗΣ

11^ο Εργαστηριακό Μάθημα

4^ο Εργαστήριο

Βασιλόπουλος Διονύσης

ΧΕΙΜΕΡΙΝΟ ΕΞΑΜΗΝΟ
2023-2024

Άσκηση: Μετρητής

Στην άσκηση αυτή, θα δημιουργήσουμε ένα χρονόμετρο. Κάθε δευτερόλεπτο το χρονόμετρο θα αυξάνει την τιμή του κατά 1. Αν SW0='1' τότε η ακολουθία θα είναι αύξουσα ενώ εάν SW0='0' τότε η χρονομέτρηση θα είναι φθίνουσα. Το αποτέλεσμα θα φαίνεται στα led (LD0-LD3) στο δυαδικό σύστημα αλλά και στο pmod (θα επιλέγετε το ψηφίο με το διακόπτη SW7). Αν η τιμή είναι στο 9 η επόμενη ανοδική είναι η 0 και το αντίστροφο. Με το SW6 θα μπορούμε να κάνουμε RESET ('1') ασύγχρονα.

Χρησιμοποιήστε τον ορισμό της οντότητας που θα βρείτε στο eclass, ενώ μπορείτε/πρέπει να χρησιμοποιήσετε και τα αντίστοιχα αρχεία από το 3ο εργαστήριο. Πρώτα εμφανίστε το αποτέλεσμα στα Led και κατόπιν στο Pmod.

ΠΡΟΣΟΧΗ: Για τη λύση της άσκησης, θα πρέπει να δημιουργήσετε ένα νέο «ρολόι» (π.χ. clk_100MHz) του οποίου η περίοδος θα είναι 1 sec. Δηλαδή ένας χτύπος του clk_100MHz αντιστοιχεί σε 100.000.000 του κανονικού clk.

Στο eclass θα σας δοθεί ένα template πηγαίου κώδικα με την περιγραφή του entity το αντίστοιχο testbench σε VHDL, καθώς και το αρχείο με τα pin constraints για το clock.

- Συμπληρώστε το architecture του entity
- Ελέγξτε τη λειτουργία του κυκλώματος τόσο στη προσομοίωση όσο και στο υλικό προγραμματίζοντας το FPGA
- Βρείτε την πιο αργή διαδρομή και την ταχύτητα λειτουργίας του κυκλώματός σας.
- Βρείτε τη διαδρομή που μπορεί να σας προκαλέσει πρόβλημα με βάση το χρόνο μόλυνσης και καταγράψτε το περιθώριο που έχετε.
- Συμπληρώστε τον παρακάτω πίνακα κοιτάζοντας το report utilization μετά το implementation:

FF:	
LUT:	
I/O	