dscal
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

Εργαστήριο Λογικής Σχεδίασης

3ο Εργαστηριακό Μάθημα

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ

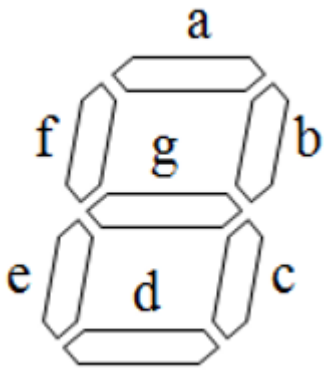
ΤΜΗΜΑ
ΠΛΗΡΟΦΟΡΙΚΗΣ & ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ

3η Εργαστηριακή Άσκηση

Δημιουργήστε μία ALU που να προσθέτει δύο μη προσημασμένους αριθμούς (a+b) ή να διπλασιάζει έναν μη προσημασμένο αριθμό (a). Οι αριθμοί a,b είναι των 3 bit ενώ το αποτέλεσμα και των δύο πράξεων αποθηκεύεται στο σήμα Result των 4 bit. Εμφανίστε το αποτέλεσμα τόσο στα LED όσο και στο Pmod. Για την είσοδο των αριθμών a,b όσο και για την επιλογή της πράξης θα χρησιμοποιήσετε τα SW της κάρτας.

3η Εργαστηριακή Άσκηση

VHDL – 7 segment led



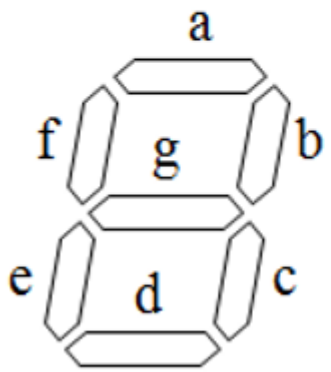
Αναπαράσταση με 7-bit
MSB->g - LSB->a

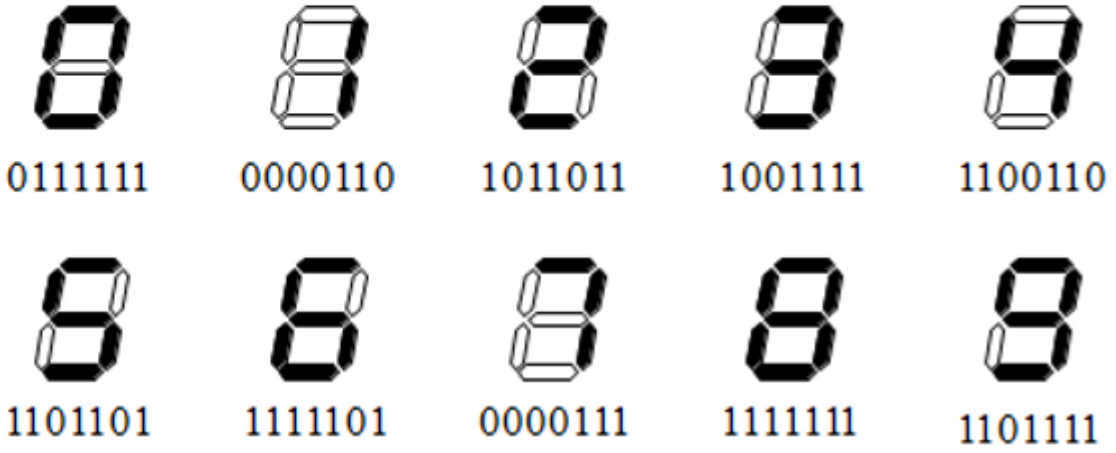
g-f-e-d-c-b-a

3η Εργαστηριακή Άσκηση

VHDL – 7 segment led

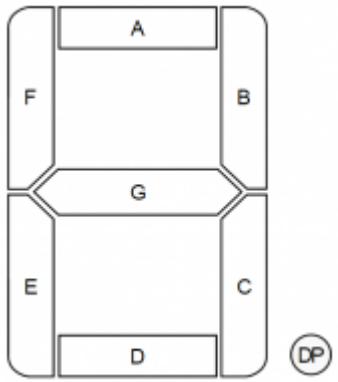
– Τμήματα: (g, f, e, d, c, b, a)





3η Εργαστηριακή Άσκηση

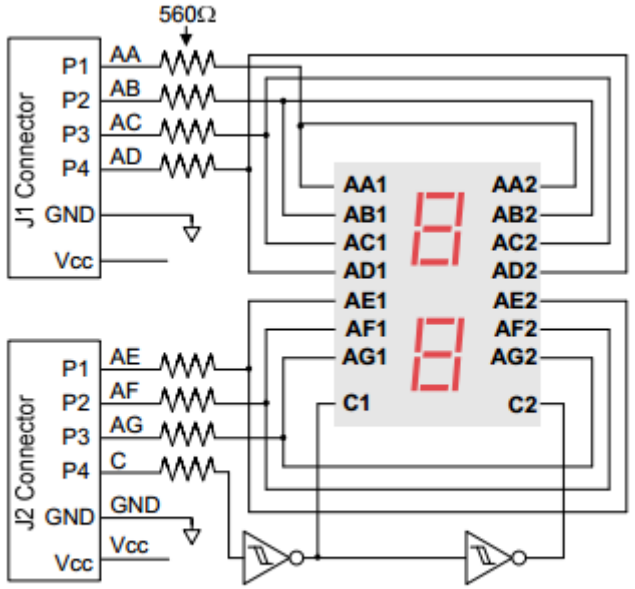
7 segment led - Pmod



Pinout Description Table

Header J1		
Pin	Signal	Description
1	AA	Segment A
2	AB	Segment B
3	AC	Segment C
4	AD	Segment D
5	GND	Power Supply Ground
6	VCC	Positive Power Supply

Header J2		
Pin	Signal	Description
1	AE	Segment E
2	AF	Segment F
3	AG	Segment G
4	C	Digit Selection pin
5	GND	Power Supply Ground
6	VCC	Positive Power Supply



Seven-Segment Display Connection Diagram

ΜΟΝΟ ΤΟ ΈΝΑ ΑΠΌ ΤΑ 2 LED ΜΠΟΡΕΙ ΝΑ ΕΊΝΑΙ ΑΝΑΜΕΝΟ ΣΕ ΚΆΘΕ ΧΡΟΝΙΚΗ ΣΤΙΓΜΗ

Pmod: Peripheral Module interface

Εικόνες από το https://reference.digilentinc.com/reference/pmod/pmodssd/reference-manual

3η Εργαστηριακή Άσκηση

7 segment led - Pmod

Table 16 - Pmod Connections

Pmod	Signal Name	Zynq pin	Pmod	Signal Name	Zynq pin
JA1	JA1	Y11	JB1	JB1	W12
	JA2	AA11		JB2	W11
	JA3	Y10		JB3	V10
	JA4	AA9		JB4	W8
	JA7	AB11		JB7	V12
	JA8	AB10		JB8	W10
	JA9	AB9		JB9	V9
	JA10	AA8		JB10	V8

Θα βρείτε σε ποια Signal της FPGA αντιστοιχούν τα signal του Pmod.
Κατόπιν θα βρείτε σε ποια pin της FPGA αντιστοιχούν τα signal του Pmod.

3η Εργαστηριακή Άσκηση

ΠΡΟΧΩΡΗΣΤΕ ΣΤΗΝ ΑΣΚΗΣΗ

3η Εργαστηριακή Άσκηση

Αρχιτεκτονική

Αρχιτεκτονική →

```
result_temp<=unsigned('0'&a)+ unsigned('0'&b) when ctr='1' else
                unsigned(a&'0') when ctr='0' else
                  (others=>'0');

result<=std_logic_vector(result_temp);

with result_temp select
seven_segment<="0111111" when "0000", --0
          "0000110" when "0001", --1
          "1011011" when "0010", --2
          "1001111" when "0011", --3
          "1100110" when "0100", --4
          "1101101" when "0101", --5
          "1111101" when "0110", --6
          "0000111" when "0111", --7
          "1111111" when "1000", --8
          "1101111" when "1001", --9
          "1000000" when others;

digit_selection_out<=digit_selection_in;
```

3η Εργαστηριακή Άσκηση

Constraints (1/2) – Switches + Leds

Constraints →

```
# ZedBoard Pin Assignments
##############################
# On-board Slide Switches  #
##############################

set_property -dict { PACKAGE_PIN M15   IOSTANDARD LVCMOS33 } [get_ports { digit_selection_in }];
set_property -dict { PACKAGE_PIN H19   IOSTANDARD LVCMOS33 } [get_ports { ctr }];
set_property -dict { PACKAGE_PIN F21   IOSTANDARD LVCMOS33 } [get_ports { b[1] }];
set_property -dict { PACKAGE_PIN H22   IOSTANDARD LVCMOS33 } [get_ports { b[0] }];
set_property -dict { PACKAGE_PIN G22   IOSTANDARD LVCMOS33 } [get_ports { a[1] }];
set_property -dict { PACKAGE_PIN F22   IOSTANDARD LVCMOS33 } [get_ports { a[0] }];

##############################
# On-board Leds  #
##############################

set_property -dict { PACKAGE_PIN T22   IOSTANDARD LVCMOS33 } [get_ports { result[0] }];
set_property -dict { PACKAGE_PIN T21   IOSTANDARD LVCMOS33 } [get_ports { result[1] }];
set_property -dict { PACKAGE_PIN U22   IOSTANDARD LVCMOS33 } [get_ports { result[2] }];
```

3η Εργαστηριακή Άσκηση

Constraints (1/2) – Pmod

Constraints →

```
##############################
# PmodSSO                    #
##############################

set_property -dict { PACKAGE_PIN Y11   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[0] }];
set_property -dict { PACKAGE_PIN AA11  IOSTANDARD LVCMOS33 } [get_ports { seven_segment[1] }];
set_property -dict { PACKAGE_PIN Y10   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[2] }];
set_property -dict { PACKAGE_PIN AA9   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[3] }];
set_property -dict { PACKAGE_PIN W12   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[4] }];
set_property -dict { PACKAGE_PIN W11   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[5] }];
set_property -dict { PACKAGE_PIN V10   IOSTANDARD LVCMOS33 } [get_ports { seven_segment[6] }];

set_property -dict { PACKAGE_PIN W8   IOSTANDARD LVCMOS33 } [get_ports { digit_selection_out }];
```

3η Εργαστηριακή Άσκηση

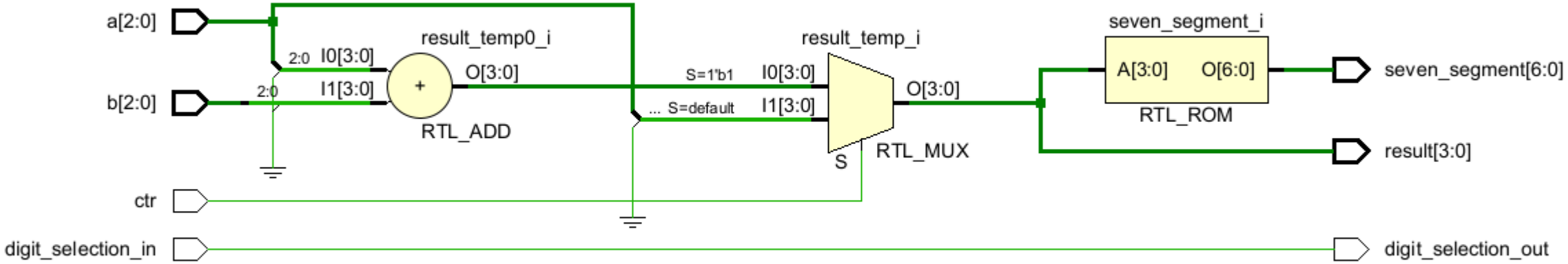
Pmod Manual

Manual Pmod

https://reference.digilentinc.com/reference/pmod/pmodssd/reference-manual

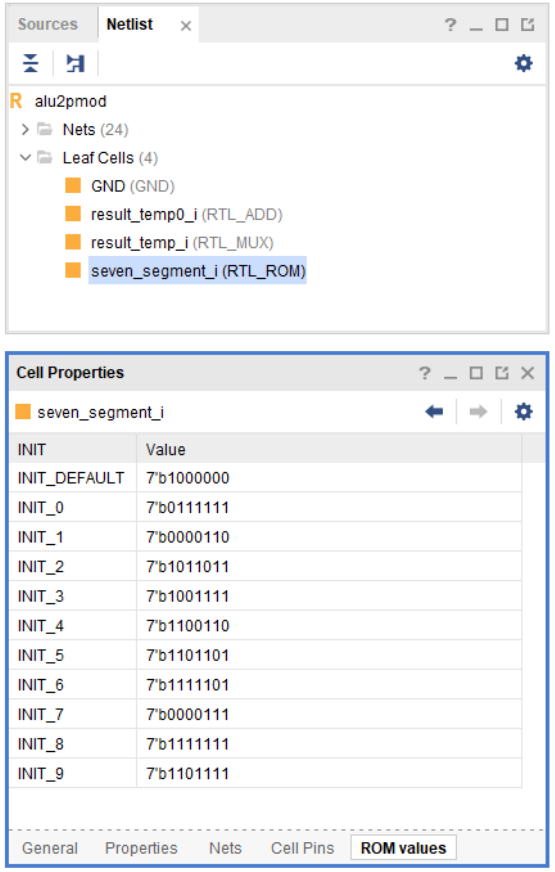
3η Εργαστηριακή Άσκηση

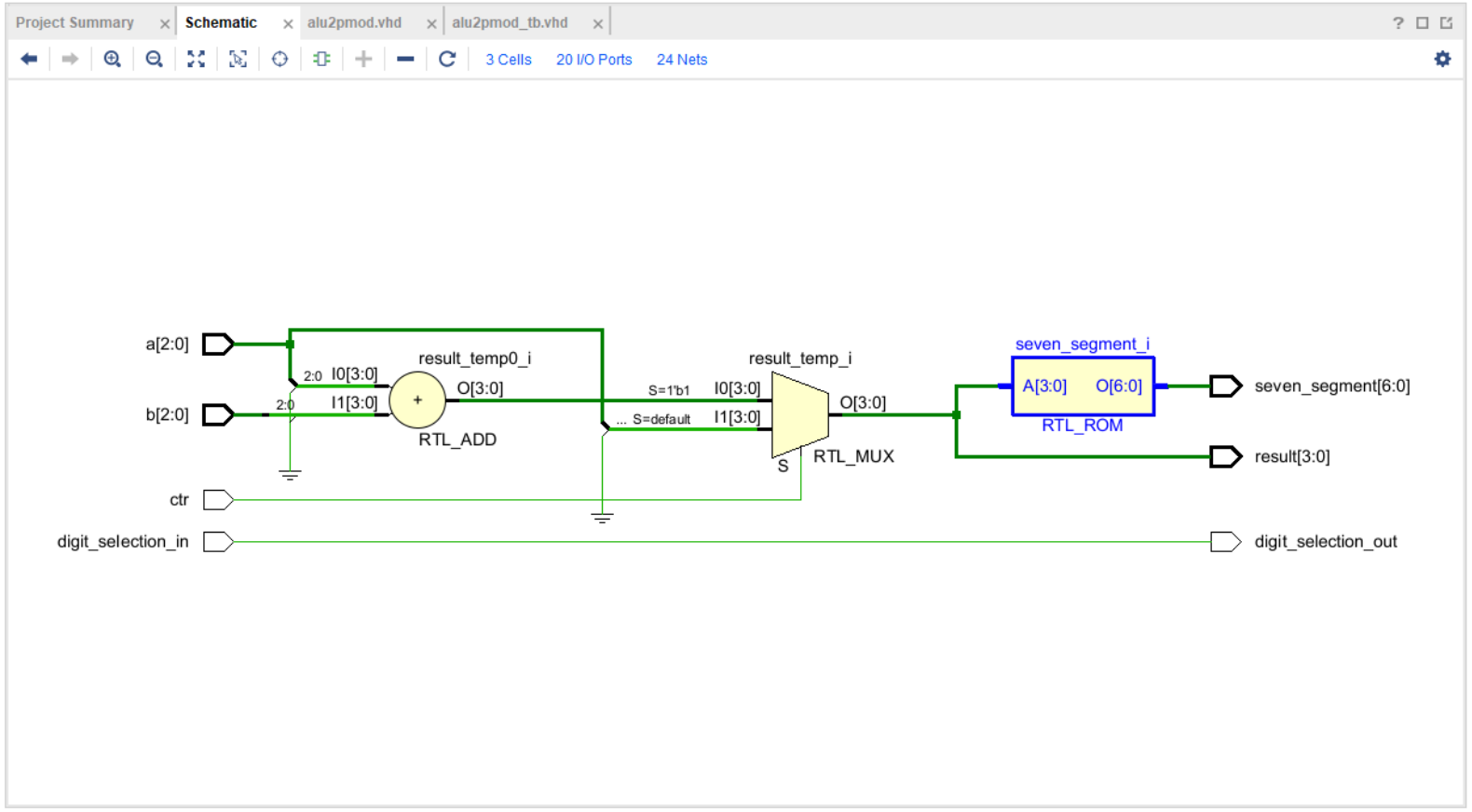
RTL Design



3η Εργαστηριακή Άσκηση

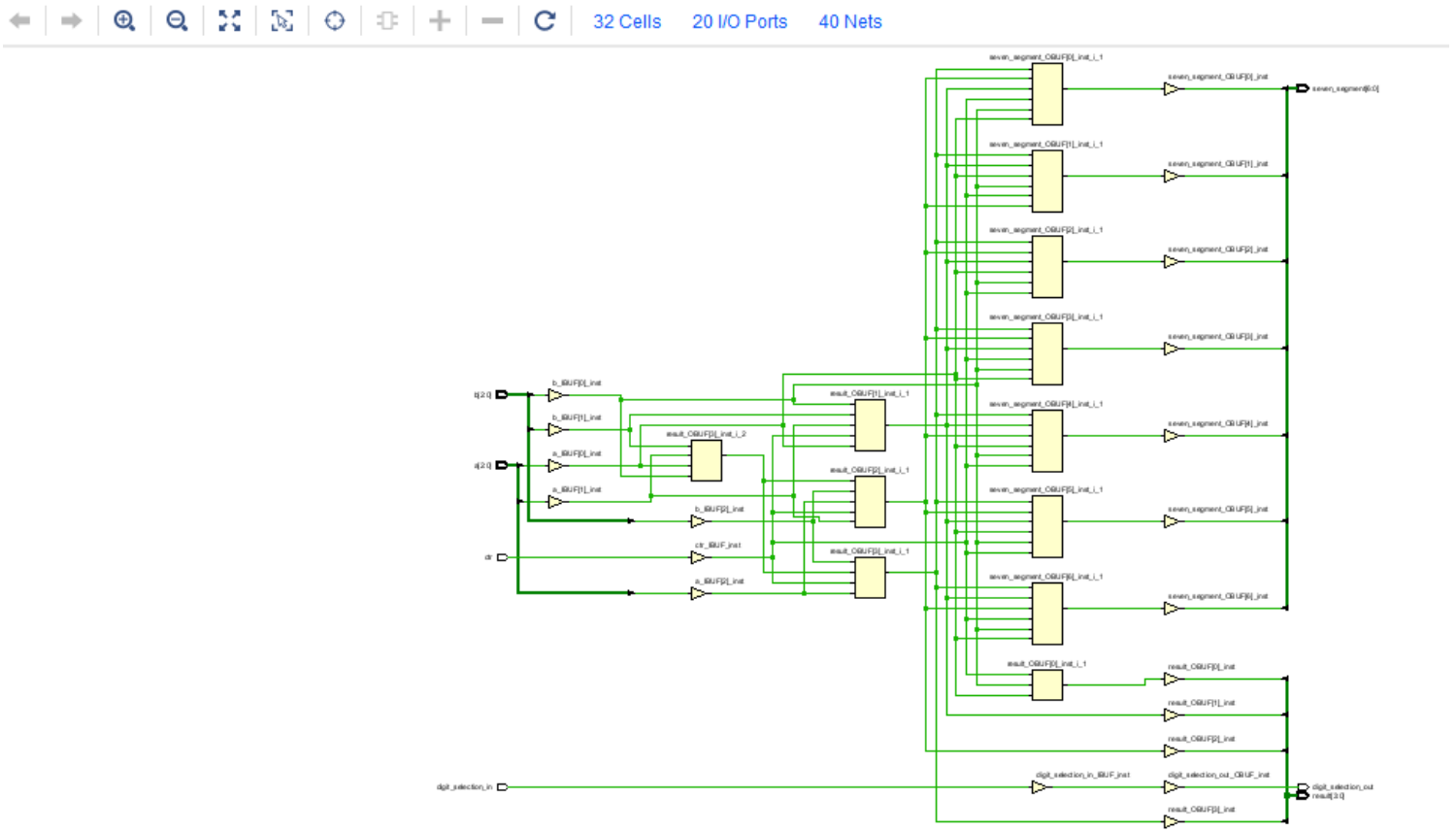
RTL Design – ROM Module/ROM Values





3η Εργαστηριακή Άσκηση

Synthesis/Implementation – Schematic

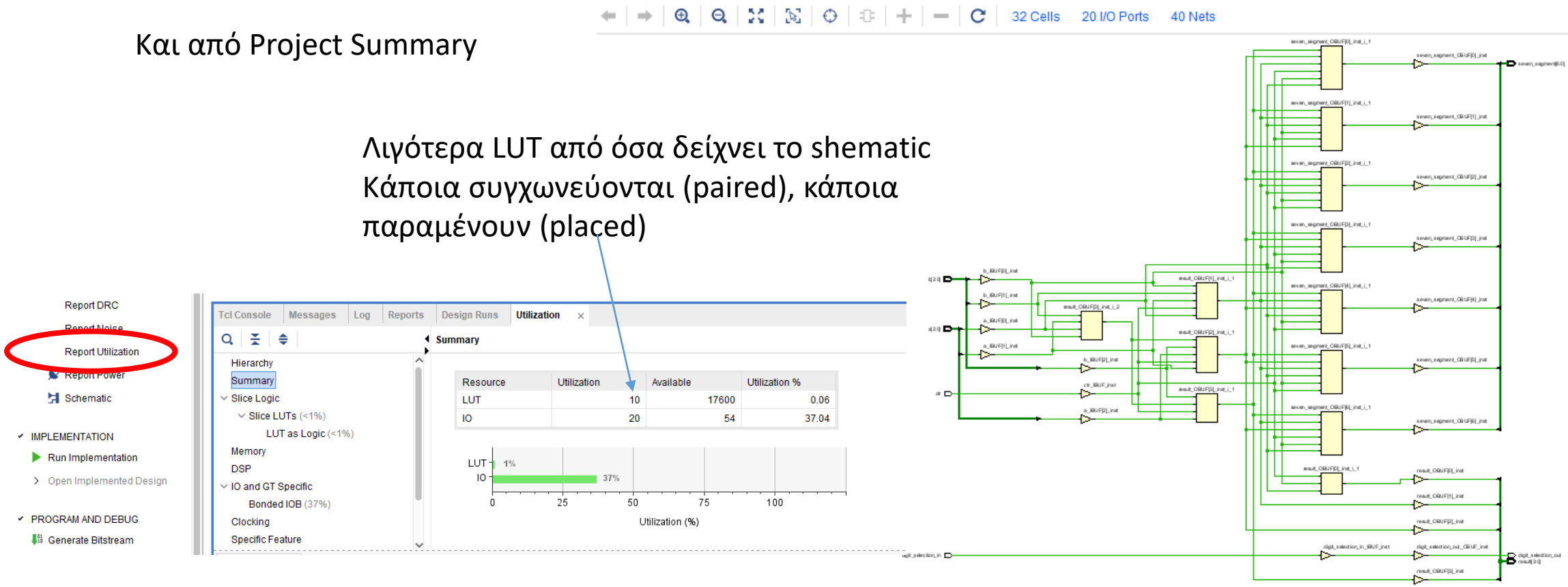


3η Εργαστηριακή Άσκηση

Implementation – Report Utilization (1/3)

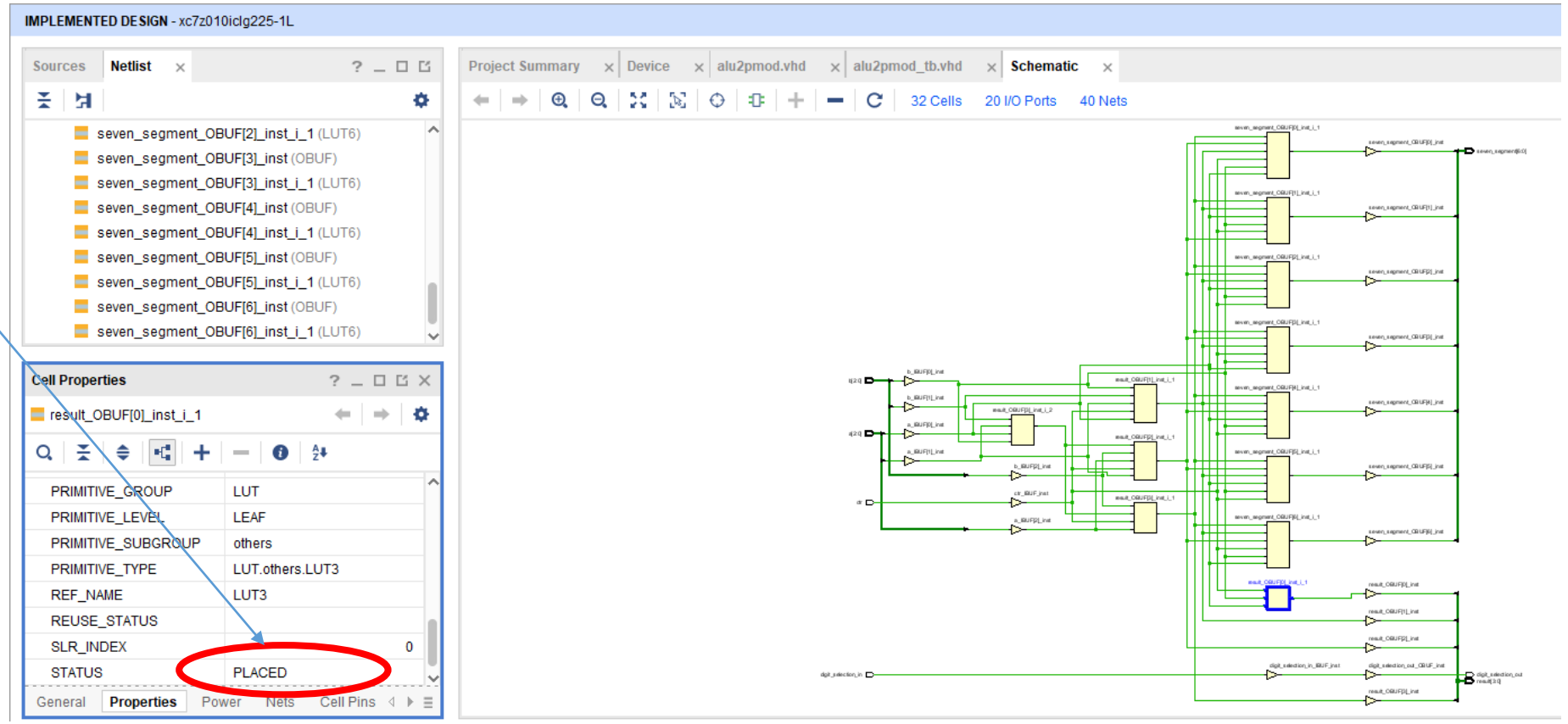
Και από Project Summary

Λιγότερα LUT από όσα δείχνει το shematic
Κάποια συγχωνεύονται (paired), κάποια παραμένουν (placed)



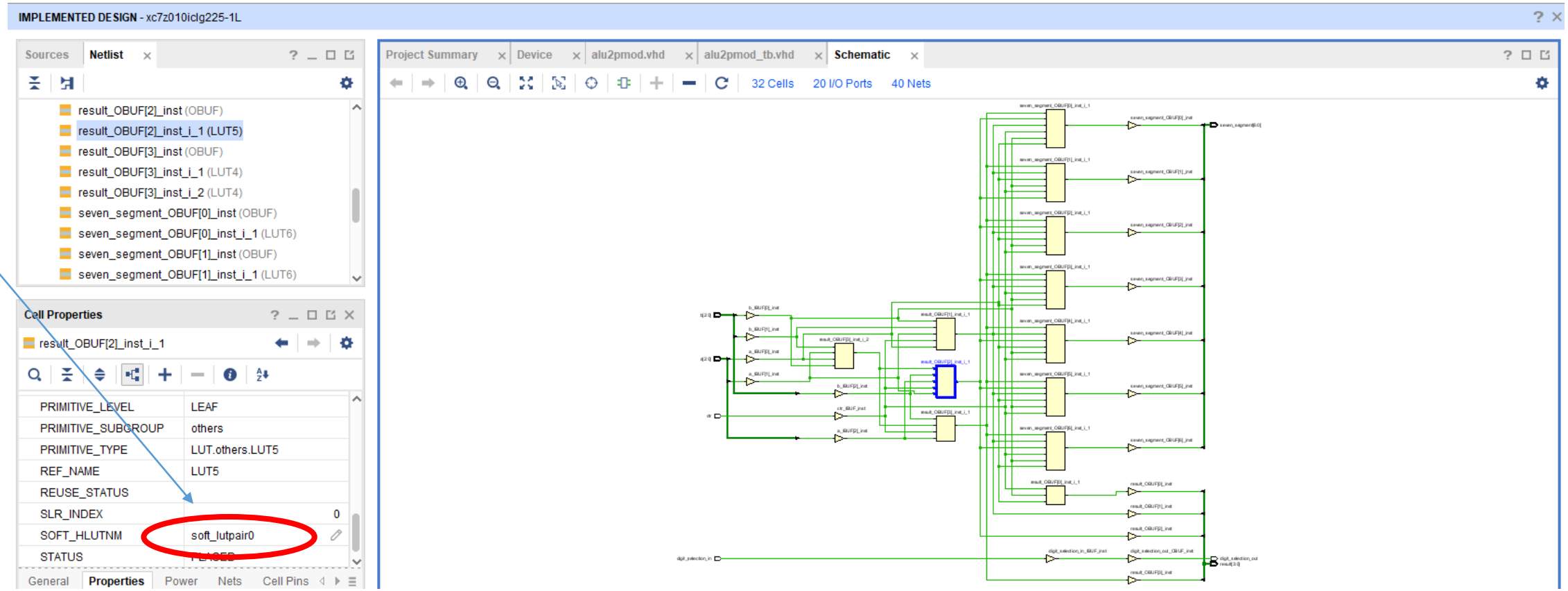
3η Εργαστηριακή Άσκηση

Implementation – Report Utilization (2/3)



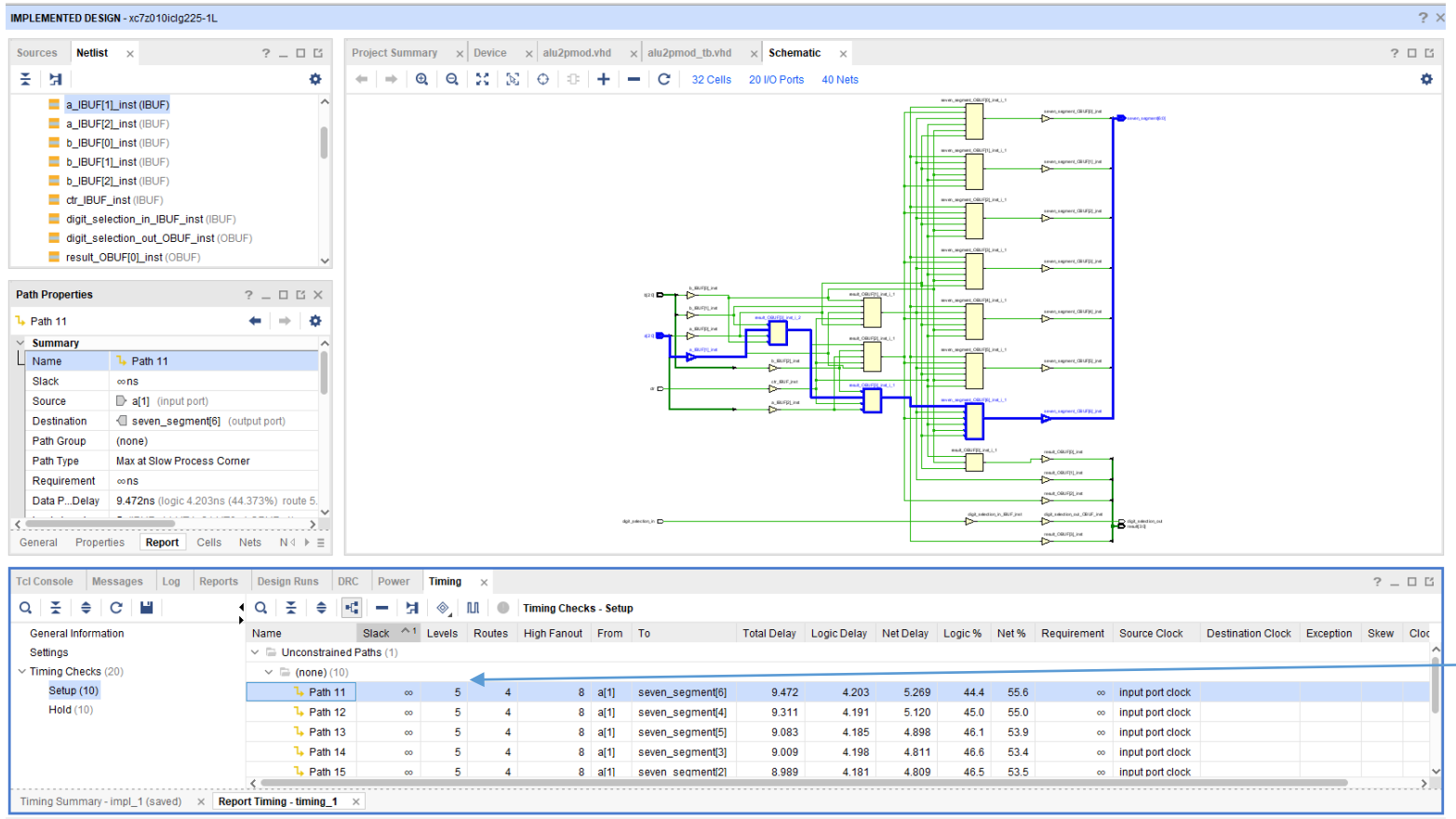
3η Εργαστηριακή Άσκηση

Implementation – Report Utilization (3/3)



3η Εργαστηριακή Άσκηση

Implementation – Timing Reports (1/2)



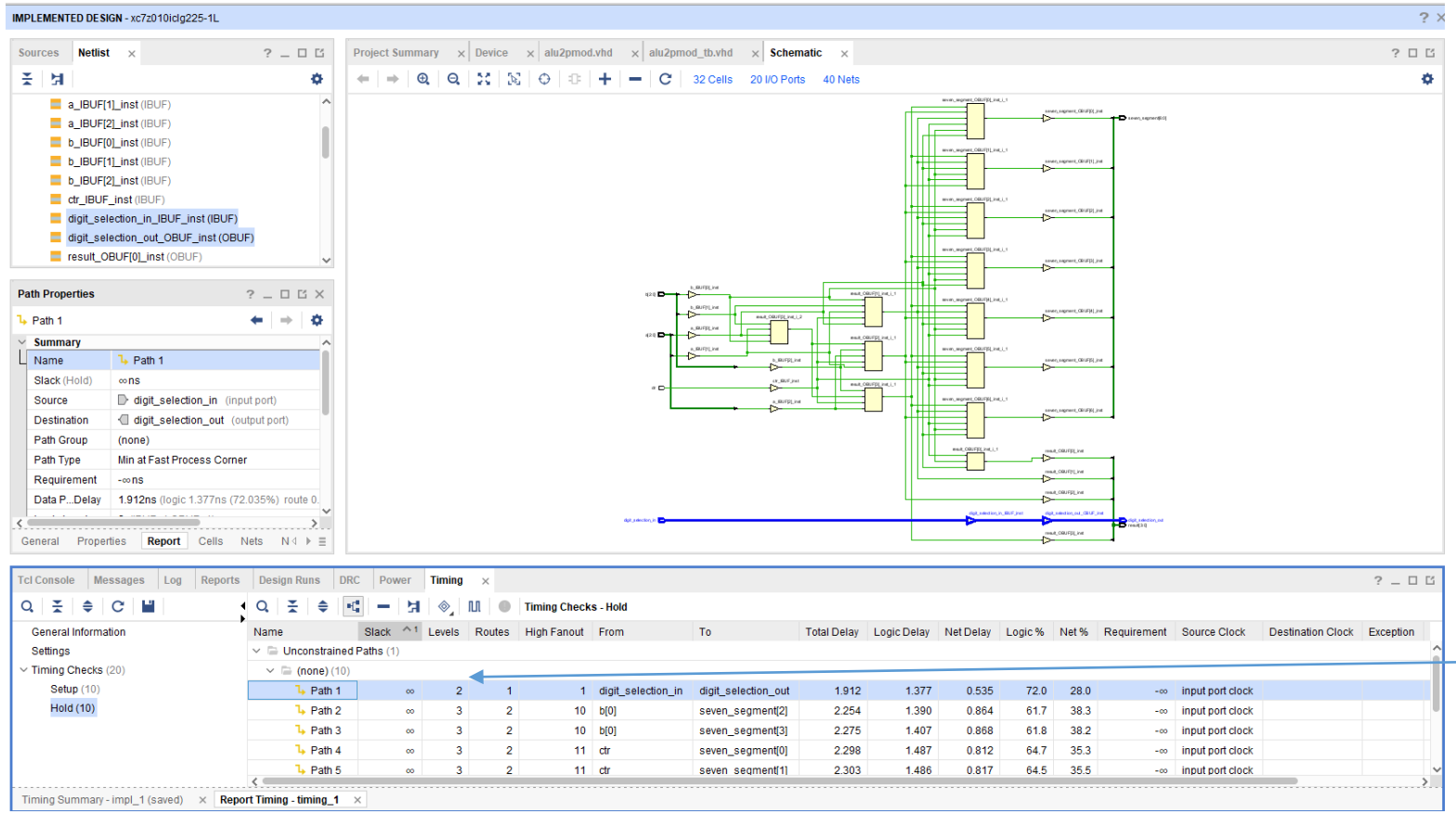
Menu Reports->Timing-Timing Reports

Setup Time:
Αναφέρεται στις αργές διαδρομές (καθυστέρηση διάδοσης)

Τα μονοπάτια (path) με τους χρόνους

3η Εργαστηριακή Άσκηση

Implementation – Timing Reports (2/2)

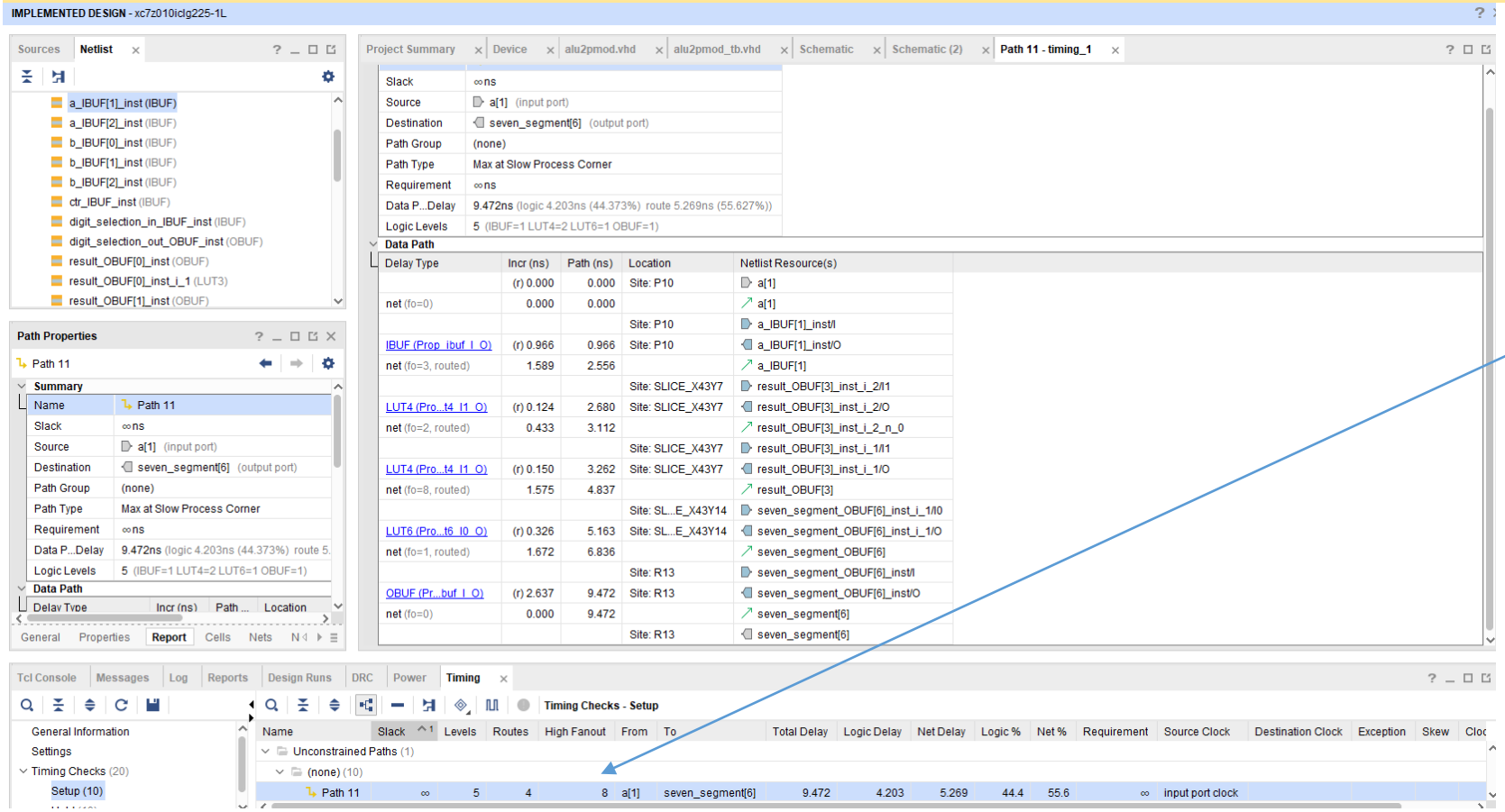


Hold Time:
Αναφέρεται στις γρήγορες διαδρομές (καθυστέρηση μόλυνσης)

Τα μονοπάτια (path) με τους χρόνους

3η Εργαστηριακή Άσκηση

Implementation – Path Analysis



Δεξί κλικ στο Path και
View Path Report

3η Εργαστηριακή Άσκηση

Implementation – Simulation

```
test_1: process is
begin
ctr_tb<= not ctr_tb;
for i in 0  to 3 loop
            a_tb<=std_logic_vector(to_unsigned(i,a_tb'length));
            for j in 0 to 3 loop
                        b_tb<=std_logic_vector(to_unsigned(j,a_tb'length));
                        wait for 10ns;
            end loop;
end loop;
end process test_1;
```