



**dscal**  
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

# Εργαστήριο Λογικής Σχεδίασης

## 1ο Εργαστηριακό Μάθημα

**Βασιλόπουλος Διονύσης**

**Ε.Δι.Π. Τμήματος Πληροφορικής & Τηλεπικοινωνιών - ΕΚΠΑ**

# VHDL – Παράδειγμα

## Άσκηση

Να σχεδιάσετε και να προσομοιώσετε στο Vivado ένα απλό κύκλωμα ηλεκτρονικής κλειδαριάς που θα δέχεται ως είσοδο/κωδικό κλειδαριάς έναν ακέραιο αριθμό 4-bits (στο δυαδικό) και θα ενεργοποιεί (λογικό 1) την έξοδο της κλειδαριάς (lock\_out) μόνο όταν ο αριθμός αυτός ταυτίζεται με το τελευταίο ψηφίο του AM σας. Για παράδειγμα, για τον AM 1115201900205, ο κωδικός έχει την τιμή 5 (στο δυαδικό 0101).

Το όνομα του project θα είναι Lab1, το όνομα του αρχείου (design source) αλλά και η οντότητα σας θα λέγεται locker, ενώ η αρχιτεκτονική Dataflow. Τα αντίστοιχα ονόματα για την προσομοίωση θα είναι locker\_tb, και Dataflow\_tb.

Σας δίνεται ο ορισμός της οντότητας

```
entity locker is
```

```
port(
```

```
    digit3, digit2, digit1, digit0 : in std_logic;
```

```
    lock_out : out std_logic);
```

```
end locker;
```

Το digit0 αντιστοιχεί στο λιγότερο σημαντικό bit του κωδικού ενώ το digit3 στο πιο σημαντικό bit (στο παράδειγμά μας digit0='1' και digit3='0'). Γράψτε την αρχιτεκτονική που αντιστοιχεί στον AM σας. Εμφανίστε το RTL διάγραμμα, κάντε τη σύνθεση, εμφανίστε το διάγραμμά της (Schematic), κάντε το ίδιο για την υλοποίηση, προγραμματίστε την κάρτα fpga.