

1^ο Εργαστήριο Λογικής Σχεδίασης

1^η Διάλεξη

Εισαγωγή

Βασιλόπουλος Διονύσης

Ε.ΔΙ.Π Τμήματος Πληροφορικής & Τηλεπικοινωνιών

Αντικείμενο Μαθήματος

Εργαστήριο Λογικής Σχεδίασης – Τι είναι

- Εφαρμοσμένο μέρος του μαθήματος της Λογικής Σχεδίασης (ΛΣ)
 - Συνοπτική επανάληψη θεωρίας ΛΣ
- Προγραμματισμός στη γλώσσα VHDL
- Περιγράφουμε (σε VHDL) ένα Σύστημα Λογικού Κυκλώματος/Ψηφιακό Κύκλωμα
- Τι κάνει το Λογικό Κύκλωμα; Δίνει λύση σε μία πραγματική ανάγκη
- Με τι προγραμματίζουμε; Με το εργαλείο Vivado
- Τι προγραμματίζουμε; Hardware (κάρτες FPGA)

Αντικείμενο Μαθήματος

Πραγματικές Ανάγκες

Ψηφιακά Συστήματα



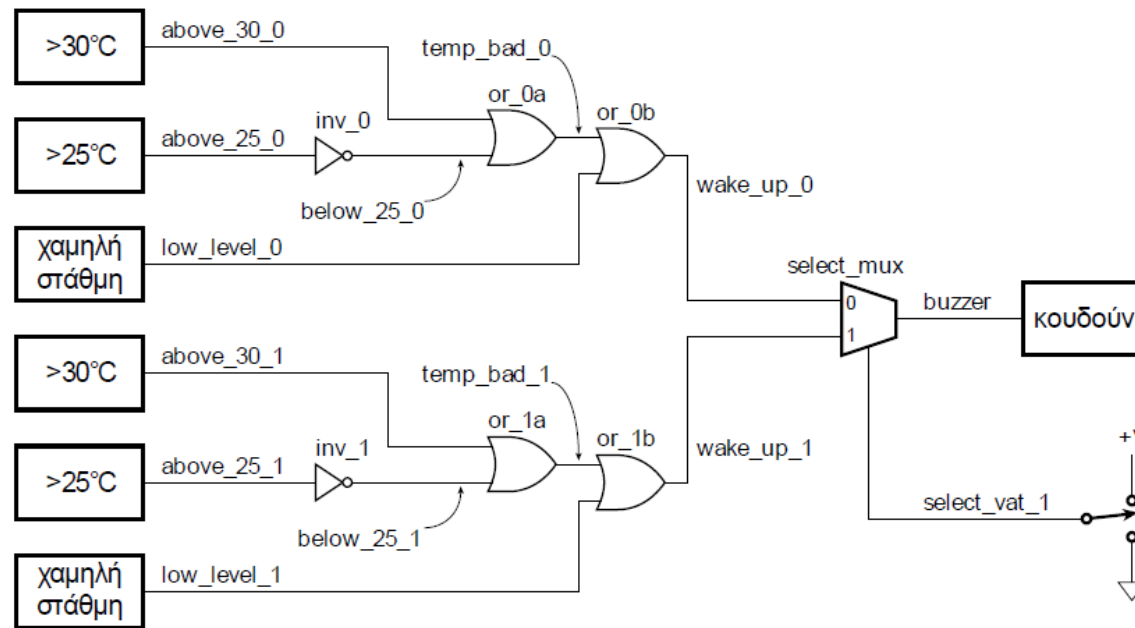
Αντικείμενο Μαθήματος

Εργαστήριο Λογικής Σχεδίασης – Περιεχόμενο μαθήματος

- Βασικές Αρχές της **Γλώσσας Προγραμματισμού VHDL**
- **Ανάπτυξη απλών εφαρμογών** για κατανόηση του μοντέλου της VHDL
- **Χρήση του εργαλείου VIVADO** για την ανάπτυξη εφαρμογών
- **Βασικά στοιχεία της θεωρίας Λογικής Σχεδίασης** (δυαδικό σύστημα αρίθμησης, λογικές πύλες, συνδυαστικά κυκλώματα, ακολουθιακά κυκλώματα, μνήμες)
 - ΔΕΝ θα γίνει ανάπτυξη στα θέματα της θεωρίας της Λογικής Σχεδίασης, παρά μόνο συνοπτικά και ΜΟΝΟ όσα χρειάζονται για την ανάπτυξη των εφαρμογών σε VHDL.
- **Προγραμματισμός κάρτας FPGA** (μέσω VHDL+VIVADO) σε πραγματικές συνθήκες (εργαστήριο)

Αντικείμενο Μαθήματος

Λογικά κυκλώματα



Αντικείμενο Μαθήματος

Προγραμματισμός Υλικού σε VHDL

```
library ieee; use ieee.std_logic_1164.all;
entity vat_buzzer is
  port ( above_25_0, above_30_0,
         low_level_0  : in std_logic;
         above_25_1, above_30_1,
         low_level_1  : in std_logic;
         select_vat_1 : in std_logic;
         buzzer       : out std_logic );
end entity vat_buzzer;
```

Χρήση πρότυπης βιβλιοθήκης

package

Entity name

Port list

Port type

Port mode

Port name

Αντικείμενο Μαθήματος

Εργαστήριο Λογικής Σχεδίασης – Οργάνωση μαθήματος 1/5

- Διδάσκων: Ε.ΔΙ.Π. Διονύσης Βασιλόπουλος (denis@di.uoa.gr) – Γραφείο: Α33
- Ώρες γραφείου: Τρίτη 15:00-16:00 και Πέμπτη 13:00 – 15:00, κατόπιν επικοινωνίας
- 3 διαλέξεις εισαγωγικές και 5 σετ Θεωρίας/εργαστηρίου (θεωρία/παράδοση-χρήση εργαλείου Vivado, επίλυση άσκησης-προγραμματισμός κάρτας).
- Σύνολο 8 διαλέξεις στο Αμφιθέατρο Α2 και 5 μαθήματα στο Εργαστήριο Ψηφιακής Σχεδίασης & ΗΥ Υψηλών Επιδόσεων (Αναγνωστήριο)

Αντικείμενο Μαθήματος

Εργαστήριο Λογικής Σχεδίασης – Οργάνωση μαθήματος 2/5

Βαθμολογία: Τελικός βαθμός: Ασκήσεις Λογικής Σχεδίασης και VHDL

- **Εξάμηνα φοίτησης: 1, 2, 3, 4 (Α)**
 - ✓ Τρεις (3) εργασίες: 80% του τελικού βαθμού. Βάρη εργασιών 15%, 30%, 35%.
 - ✓ Γραπτή εξέταση: 10% του τελικού βαθμού. **Θα πρέπει να βαθμολογηθείτε με τουλάχιστον 5/10.**
 - ✓ Παρουσίες: 10% του τελικού βαθμού. Θα πρέπει να έχετε παρουσία σε τουλάχιστον 4 διαλέξεις και 3 εργαστήρια για να βαθμολογηθείτε.
- **Εξάμηνα φοίτησης: 5, 6, 7, 8 (Β)**
 - ✓ Τρεις (3) ασκήσεις (ίδιες με Α): : 100% του τελικού βαθμού.
Βάρη εργασιών 20%, 40%, 40%.
 - ή
 - ✓ (Α)
- **Εξάμηνα φοίτησης: Επί πτυχίω (εξάμηνο φοίτησης ≥ 9) (Γ)**
 - ✓ Α ή Β ή Βιβλιογραφική εργασία

Τελικός βαθμός το
μέγιστο εκ των 2

Τελικός βαθμός το
μέγιστο εκ των 3

Η βαθμολογία σας στην 3^η εργασία θα πρέπει να είναι τουλάχιστον 3/10

Αντικείμενο Μαθήματος

Εργαστήριο Λογικής Σχεδίασης – Οργάνωση μαθήματος 3/5

Βαθμολογία

- Η βιβλιογραφική εργασία για τους επί πτυχίω φοιτητές και η 3^η εργασία για τις περιπτώσεις A και B μπορεί να δοθεί και στην επαναληπτική εξεταστική Σεπτεμβρίου.
- Οι επί πτυχίω φοιτητές θα πρέπει να δηλώσουν την πρόθεσή τους για βιβλιογραφική εργασία μέχρι τις 31/10/25 επιλέγοντας εργασία μέσω του eclass.
- Η γραπτή (online) **εξέταση VHDL** θα είναι διάρκειας 30-40 λεπτών μετά από τις διακοπές των Χριστουγέννων (μάλλον 13/1/2026). Την εξέταση έχετε τη δυνατότητα να τη δώσετε και στην επαναληπτική εξεταστική Σεπτεμβρίου.
- Σε κάθε περίπτωση **αν κριθεί απαραίτητο** μπορεί να υπάρχουν μεμονωμένες προφορικές εξετάσεις για επιβεβαίωση, ή όχι, του τελικού βαθμού.

Αντικείμενο Μαθήματος

Εργαστήριο Λογικής Σχεδίασης – Οργάνωση μαθήματος 4/5

<https://eclass.uoa.gr/> (eclass)

- Ανέβασμα διαφανειών/υλικού και ασκήσεων
- Επικοινωνία μέσω eclass
- Παράδοση εργασιών
- Παρουσίες (**eclass: Ερωτηματολόγιο ή email προς denis@di.uoa.gr**)

Εργαλείο λογισμικού για το μάθημα: VIVADO

- Στο eclass θα ανέβει αρχείο που περιγράφει τον τρόπο με τον οποίο θα εγκαταστήσετε το εργαλείο στον υπολογιστή σας (απαραίτητο).
- Υπάρχει έκδοση για Windows και Linux (όχι για Mac)

<https://delos.uoa.gr/opendelos/>

- Απευθείας μετάδοση και Καταγραφή μαθημάτων



Αντικείμενο Μαθήματος

Εργαστήριο Λογικής Σχεδίασης – Οργάνωση μαθήματος 5/5

Υλικό για μελέτη

Α.Παρουσιάσεις (**ΒΑΣΙΚΟ ΕΓΧΕΙΡΙΔΙΟ**), κώδικας και άλλα κείμενα που ανεβαίνουν στο eclass

Β.Προτεινόμενη Βιβλιογραφία

- 1. Ψηφιακή Σχεδίαση. Ενσωματωμένα Συστήματα με VHDL,**
Peter J. Ashenden, Επιστημονική Επιμέλεια – Μετάφραση:
Μ. Παράκης, Ν. Κρανίτης, Δ. Γκιζόπουλος,
Εκδόσεις Νέων Τεχνολογιών, 2010
- 2. Ψηφιακή Σχεδίαση και Αρχιτεκτονική Υπολογιστών,** S.L.Harris, D.M.Harris,
Έκδοση Risc-V, 2025
- 3. Σχεδίαση Ψηφιακών Συστημάτων με τη Γλώσσα VHDL,** S. Brown, Z.Vranesic,
Εκδόσεις Τζιόλα, 2024

Ψηφιακά Συστήματα

Ψηφιακή Σχεδίαση

- **Ψηφιακή (Digital):** κυκλώματα που χρησιμοποιούν δύο επίπεδα τάσης (π.χ. 0V, +5V) για αναπαράσταση της πληροφορίας
 - Λογική (Logic): χρήση τιμών αληθείας (0/1, true/false) και κανόνων λογικής (άλγεβρα boole) για την ανάλυση των κυκλωμάτων
- **Σχεδίαση (Design):** ανταποκρίνονται σε λειτουργικές απαιτήσεις ενώ ταυτόχρονα ικανοποιούν περιορισμούς
 - Περιορισμοί: απόδοση, μέγεθος (κόστος), ισχύς, κλπ.

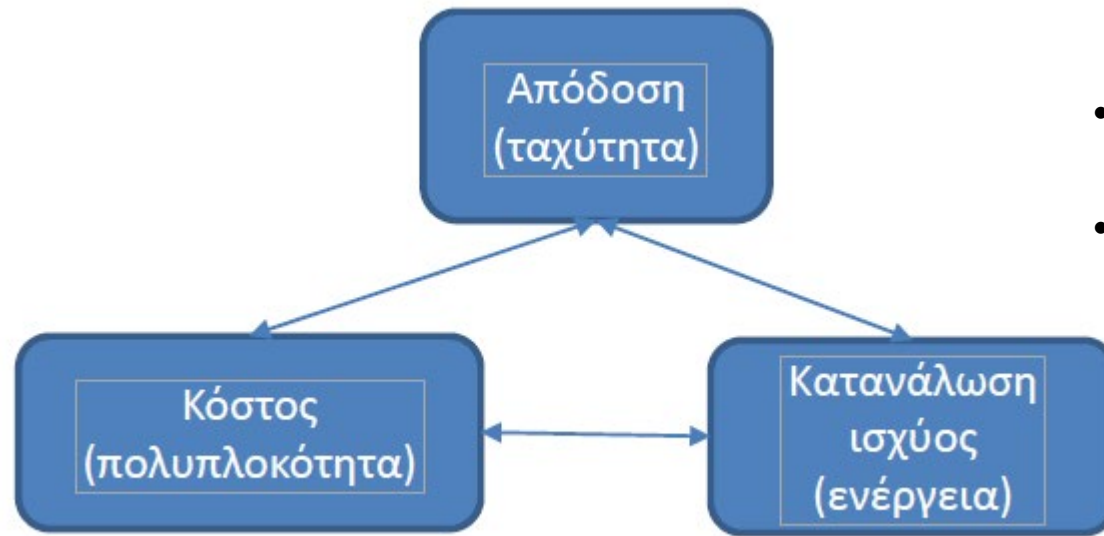
Ψηφιακά Συστήματα

Ψηφιακή Σχεδίαση

- **Δυαδικό Σύστημα Αρίθμησης (0,1)**
- **Λογικοί κανόνες.** Άλγεβρα Boole: ΝΑΙ/ΟΧΙ, ΙΣΧΥΕΙ/ΔΕΝ ΙΣΧΥΕΙ
- **Πύλες.** Στοιχειώδη κυκλώματα, υλοποιούν την άλγεβρα Boole σε επίπεδο υλικού, κάνουμε στοιχειώδεις πράξεις στο δυαδικό σύστημα. Στη βάση τους υπάρχει το Περνάει Ρεύμα/Δεν περνάει ρεύμα ή Υπάρχει Τάση/Γείωση.
- **Συνδυαστικά κυκλώματα** (π.χ. ένα κύκλωμα που προσθέτει δύο δυαδικούς αριθμούς). Έχει εισόδους που παράγουν κάποιες τιμές εξόδων.
- **Ακολουθιακά κυκλώματα.** Συστήματα με μνήμη. Η τιμή της εξόδου μπορεί να εξαρτάται όχι μόνο από τις εισόδους αλλά και από την προηγούμενη τιμή της εξόδου. Συνήθως υπάρχει συγχρονισμός στο πότε αλλάζουν οι τιμές στην είσοδο και στην έξοδο μέσω ενός ρολογιού (Clock) (π.χ. χρονόμετρο).

Ψηφιακά Συστήματα

Ψηφιακή Σχεδίαση



Συμβιβασμοί

- Μπορούμε να βελτιώσουμε το ένα εις βάρος ενός άλλου ή και των δύο άλλων
- Αυτοί οι συμβιβασμοί υπάρχουν σε κάθε επίπεδο στη σχεδίαση του συστήματος

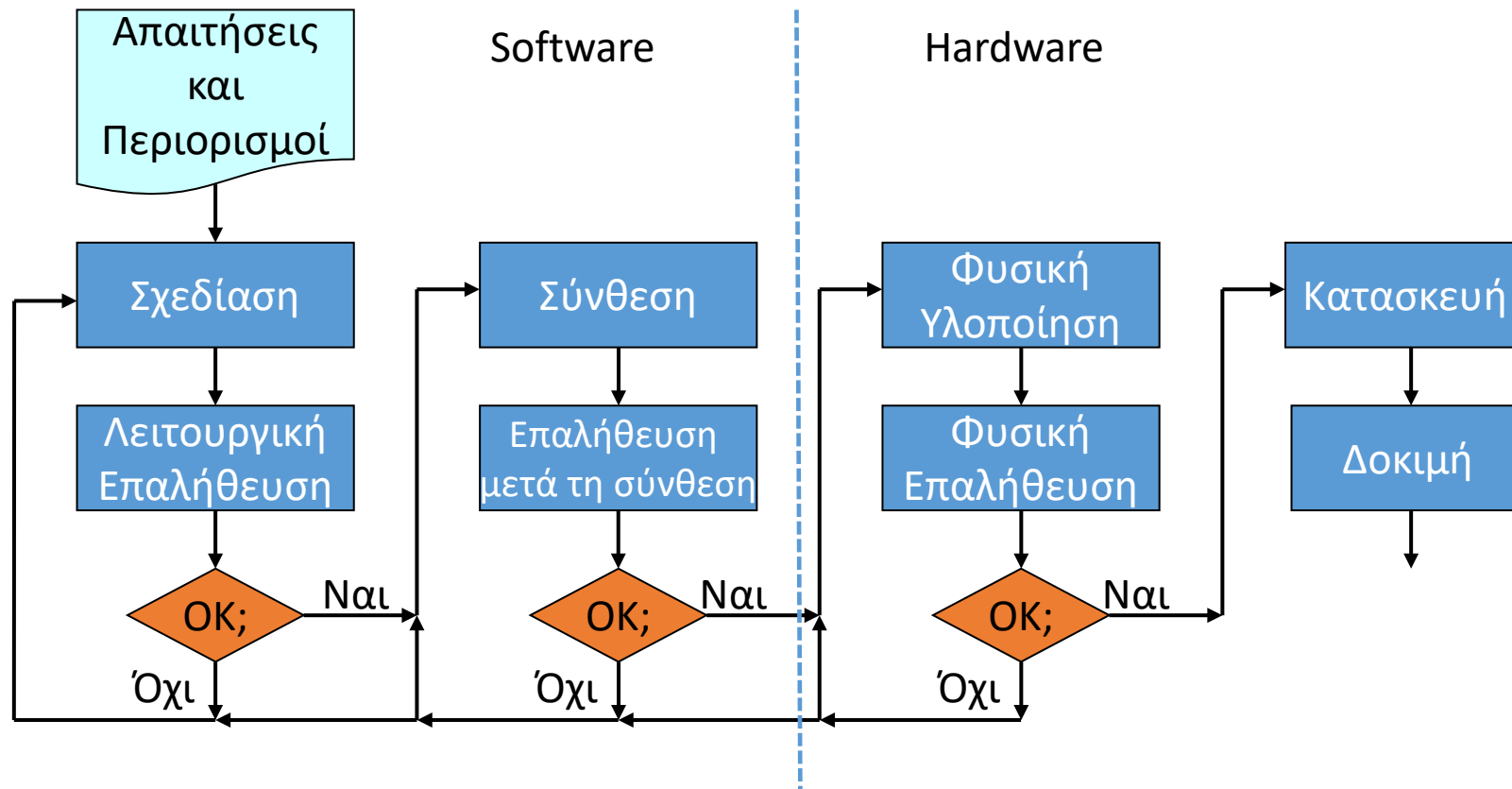
Ψηφιακά Συστήματα

Ψηφιακή Σχεδίαση – Μεθοδολογία Σχεδίασης

- Τα απλά συστήματα μπορούν να σχεδιαστούν από ένα άτομο χρησιμοποιώντας ειδικές μεθόδους
- Τα πραγματικά συστήματα σχεδιάζονται από ομάδες
 - Απαιτούν μια συστηματική μεθοδολογία σχεδίασης
- Καθορίζει
 - Τις εργασίες που αναλαμβάνουμε
 - Την πληροφορία που απαιτείται και παράγεται
 - Τις σχέσεις μεταξύ των εργασιών
 - εξαρτήσεις, καθορισμός των ακολουθιών
 - Τα εργαλεία EDA (Electronic design automation) που χρησιμοποιούνται (αλλιώς και eCAD – electronic Computer Aided Design)

Ψηφιακά Συστήματα

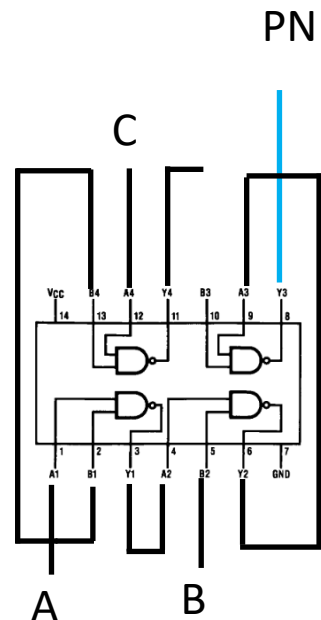
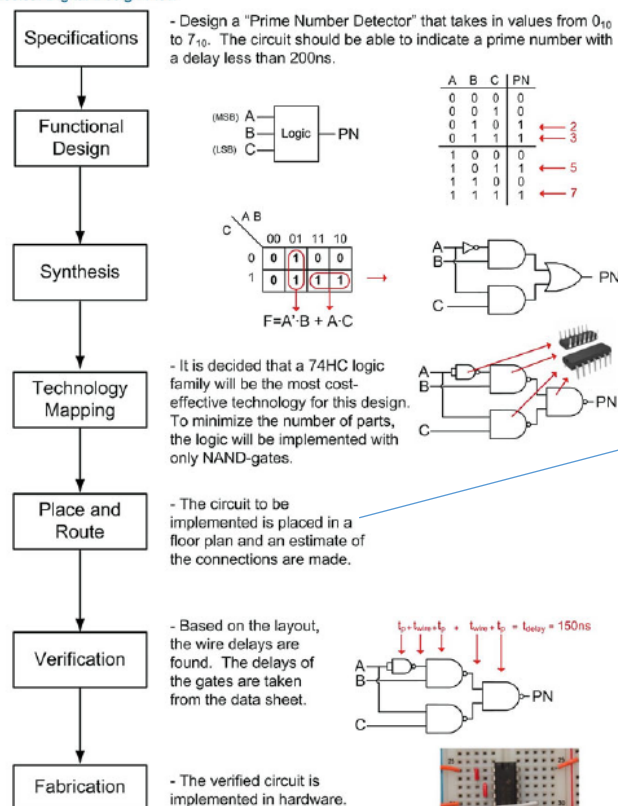
Ψηφιακή Σχεδίαση – Μια απλή μεθοδολογία ανάπτυξης



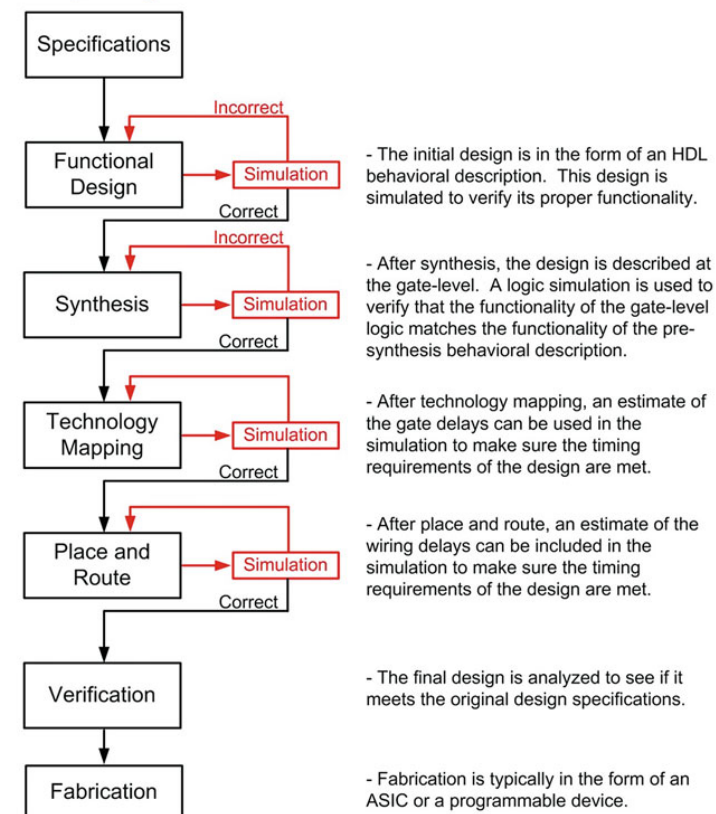
Ψηφιακά Συστήματα

Ψηφιακή Σχεδίαση – Μεθοδολογία ανάπτυξης

Classical Digital Design Flow



Modern Digital Design Flow



<https://www.futurlec.com/Datasheet/74HC/74HC00.pdf>

Εργαστήριο Λογικής Σχεδίασης 2025-26 Δ.Βασιλόπουλος

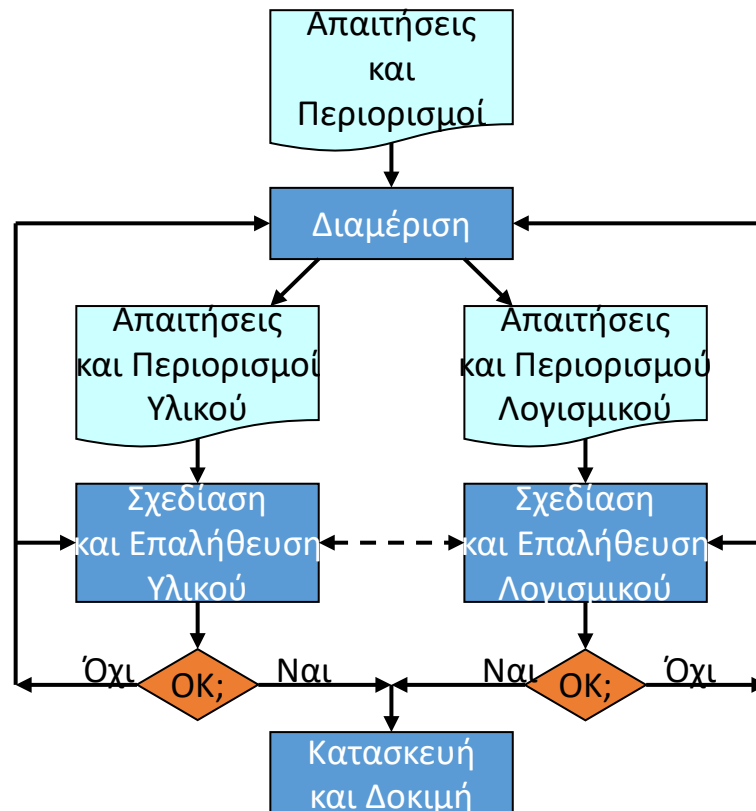
Ψηφιακά Συστήματα

Ψηφιακή Σχεδίαση – Ιεραρχική σχεδίαση

- Τα κυκλώματα είναι αρκετά πολύπλοκα για να σχεδιάσουμε όλες τις λεπτομέρειες με τη μία
- Σχεδιάζουμε υποσυστήματα για απλές λειτουργίες
- Συνθέτουμε το σύστημα από τα υποσυστήματα
 - Αντιμετωπίζουμε τα υποκυκλώματα ως «μαύρα κουτιά»
 - Επαληθεύουμε ανεξάρτητα, και έπειτα επαληθεύουμε τη σύνθεση
- Σχεδίαση top-down (από πάνω προς τα κάτω) ή bottom-up (από κάτω προς τα πάνω)

Ψηφιακά Συστήματα

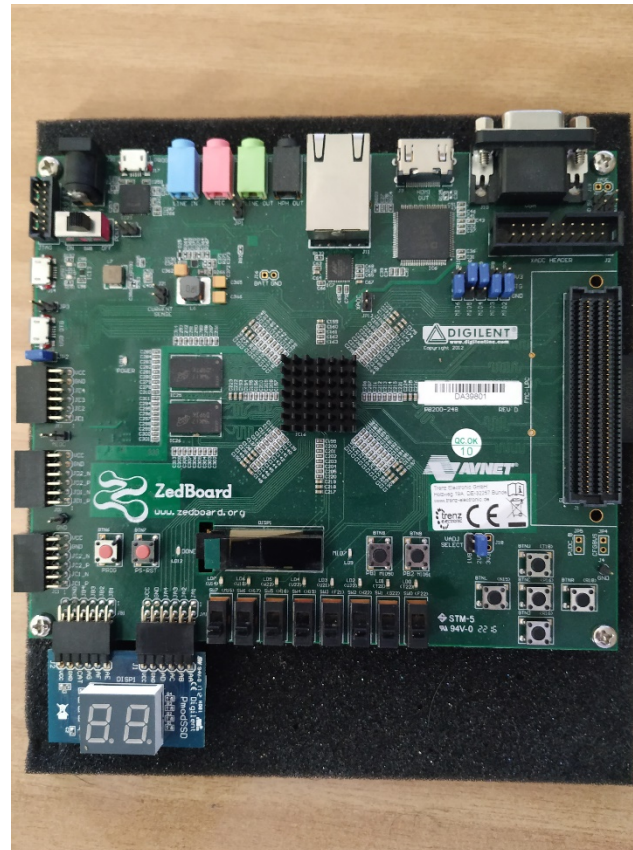
Ψηφιακή Σχεδίαση – Μεθοδολογία Συσχεδίασης



Κάθε ομάδα υλοποιεί ένα ξεχωριστό τμήμα (module) του συστήματος

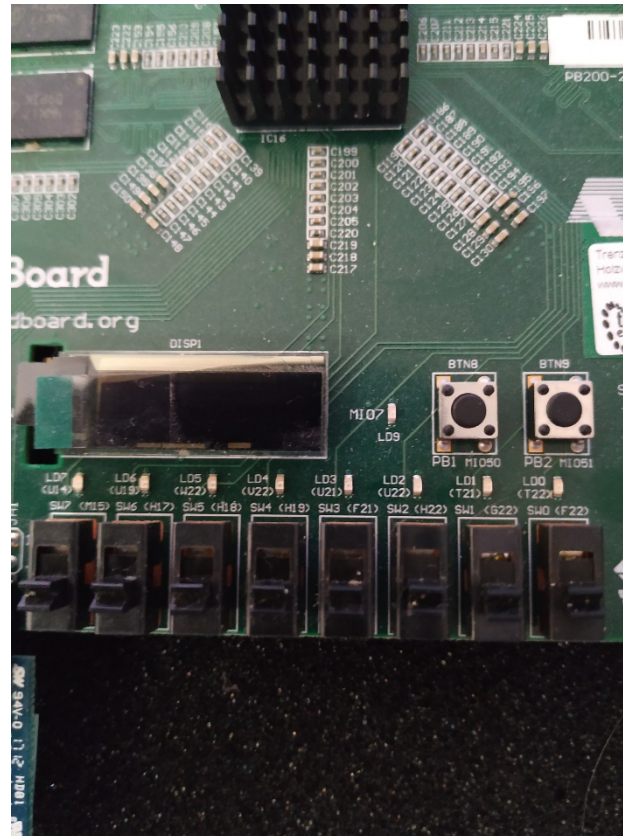
VHDL - VIVADO

Ψηφιακό κύκλωμα – Αναπαράσταση VHDL – FPGA



VHDL - VIVADO

Ψηφιακό κύκλωμα – Αναπαράσταση VHDL – FPGA



Πρωτοετείς

- Εγγραφή στο eclass.uoa.gr (όσοι δεν έχετε κωδικούς από το τμήμα για οποιοδήποτε λόγο, μπορείτε να δείτε το μάθημα στο link <https://eclass.uoa.gr/courses/DI375/>).
- Χρήση του e-mail σας (sdixx00xxx@di.uoa.gr)
- my-uni.uoa.gr (δηλώσεις/βαθμοί)
- Κωδικοί πρόσβασης στο εργαστήριο linux (σας έχουν δοθεί από τη γραμματεία)
- Στο εργαστήριο Windows ΔΕΝ χρειάζεστε ατομικούς κωδικούς

Πρωτοετείς

- <https://delos365.grnet.gr/>
 - Microsoft office (Word, Excel, Powerpoint,...) σε online και σε desktop έκδοση. Έχετε χώρο και στο onedrive (150GB). Σύνδεση απλά με τα ακαδημαϊκά σας credentials.
- <http://google.com>
 - ΠΡΟΣΟΧΗ: σύνδεση ως sdixxxxxxxxx@uoa.gr και μετά θα σας ζητηθούν τα ακαδημαϊκά σας credentials
 - Εφαρμογές google + 50GB (google drive)

Περίληψη

- Εισαγωγή στο μάθημα «Εργαστήριο Λογικής Σχεδίασης»
- Μεθοδολογία σχεδίασης
- Διαβάζετε το κεφάλαιο 1 (εκτός του 1.3) από το βιβλίο του Ashenden.
- Διαβάζετε τις παραγράφους 1.1, 1.2, 1.3, 1.4.1 – 1.4.5. από το βιβλίο των Harris.
- Διαβάζετε τις παραγράφους 1.1, 1.2, 1.3, 2.9 από το βιβλίο των Brown - Vranesic