

Έκδοση RISC_V 2025

Σχεδίαση Ψηφιακών Συστημάτων

Καθηγήτης Αντώνης Πασχάλης

ΜΔΕ στον Ηλεκτρονικό Αυτοματισμό

18203: Ψηφιακά Συστήματα και Αρχιτεκτονική Υπολογιστών

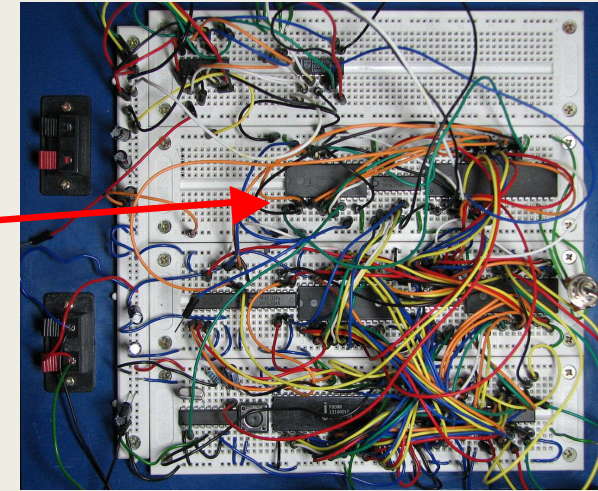


dscal
DIGITAL SYSTEMS & COMPUTER ARCHITECTURE LABORATORY

Η εξέλιξη της ψηφιακής σχεδίασης στο χρόνο...

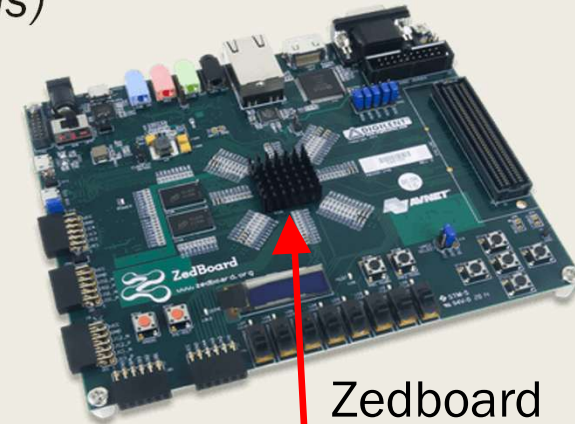
■ Παλαιότερα: Χρήση bread-boards

- Καλωδίωση κυκλωμάτων SSI-MSI (DIP) με το χέρι
- Περιορισμός σε λογικές πύλες (≈ 100)
- Χωρίς χρήση εργαλείων λογισμικού
- Χρήση παλμογράφου για verification και debug



■ Σήμερα: Χρήση development boards με FPGAs

- Μεγάλη πυκνότητα ολοκλήρωσης ($\approx 100K$ Logic Cells)
- Σχεδίαση με γλώσσα περιγραφής υλικού
- Χρήση εργαλείων λογισμικού για λογική σύνθεση (logic synthesis) και υλοποίηση (implementation) για συγκεκριμένο FPGA
- Verification με εργαλεία προσομοίωσης
- Debug με χρήση ειδικών κυκλωμάτων στο υλικό (on-chip debug)



Zedboard



Σχεδίαση Ψηφιακών Συστημάτων

■ Μαθησιακοί στόχοι:

- Οι μυημένοι στη λογική σχεδίαση φοιτητές συνεχίζουν τη μύησή τους όχι μόνο στη σχεδίαση των ψηφιακών συστημάτων, αλλά και στην αρχιτεκτονική υπολογιστών
 - με την χρήση επαγγελματικών εργαλείων λογισμικού της XILINX
 - με την χρήση αναπτυξιακής κάρτας με FPGAs (Zedboard)
 - με την υλοποίηση της μικροαρχιτεκτονικής RISC-V σε τεχνολογία FPGA
- Η μύηση συμπεριλαμβάνει πλήρεις γνώσεις προγραμματισμού στη γλώσσα περιγραφής υλικού VHDL με έμφαση στην ορθή σύνθεση, θέτοντας τα θεμέλια για την υλοποίηση αλγορίθμων στο υλικό
 - Σήμερα, η ανάπτυξη hardware είναι κυρίως προγραμματισμός
- Το ιδιαίτερο τελετουργικό μύησης στην ψηφιακή σχεδίαση, που ακολουθείται στο παρόν μάθημα, αφορά όλους τους φοιτητές που ενδιαφέρονται να εντρυφήσουν:
 - στην ανάπτυξη του υλικού και του λογισμικού υπολογιστικών και AI συστημάτων, τηλεπικοινωνιακών και δικτυακών συστημάτων, και συστημάτων ψηφιακής επεξεργασίας σήματος και πληροφοριών
 - στην επιστήμη και τεχνολογία των υπολογιστών

Σχεδίαση Ψηφιακών Συστημάτων

■ Προσδοκώμενα μαθησιακά αποτελέσματα

- Με την επιτυχή ολοκλήρωση του μαθήματος ο φοιτητής/η φοιτήτρια θα είναι σε θέση να:
 - εξηγεί/αναγνωρίζει θέματα ψηφιακής σχεδίασης απαραίτητα για την υλοποίηση αλγορίθμων στο υλικό,
 - περιγράφει την αρχιτεκτονική *RISC-V* και να αναγνωρίζει τις ιδιαιτερότητές της σε σχέση με τις άλλες αρχιτεκτονικές *RISC*,
 - προγραμματίζει στη συμβολική γλώσσα της αρχιτεκτονικής *RISC-V* (απλά προγράμματα με τη χρήση συμβολομεταφραστή),
 - σχεδιάζει και να υλοποιεί απλά και σύνθετα ψηφιακά κυκλώματα και ψηφιακά συστήματα σε τεχνολογία *FPGA* με τη χρήση της γλώσσας περιγραφής υλικού *VHDL* και των εργαλείων λογισμικού της *XILINX*,
 - εξηγεί/προσδιορίζει τις διαδικασίες της σύνθεσης, της επαλήθευσης της ορθής σχεδίασης και της υλοποίησης σε τεχνολογία *FPGA* με προσομοίωση,
 - εξηγεί τη χρήση αναπτυξιακής κάρτας *Zedboard* και τη διαδικασία της επαλήθευσης της ορθής σχεδίασης στο επίπεδο του *FPGA* (*FPGA in-the-loop verification*),
 - εξηγεί τους διαφορετικούς συμβιβασμούς μεταξύ επιδόσεων και κόστους για τις τρεις βασικές μικροαρχιτεκτονικές ενός πυρήνα επεξεργαστή ((ενός κύκλου, πολλών κύκλων και διοχέτευσης).
 - σχεδιάζει και υλοποιεί σε τεχνολογία *FPGA* έναν πυρήνα επεξεργαστή ενός κύκλου (όπως ένας απλός επεξεργαστής *RISC-V*)

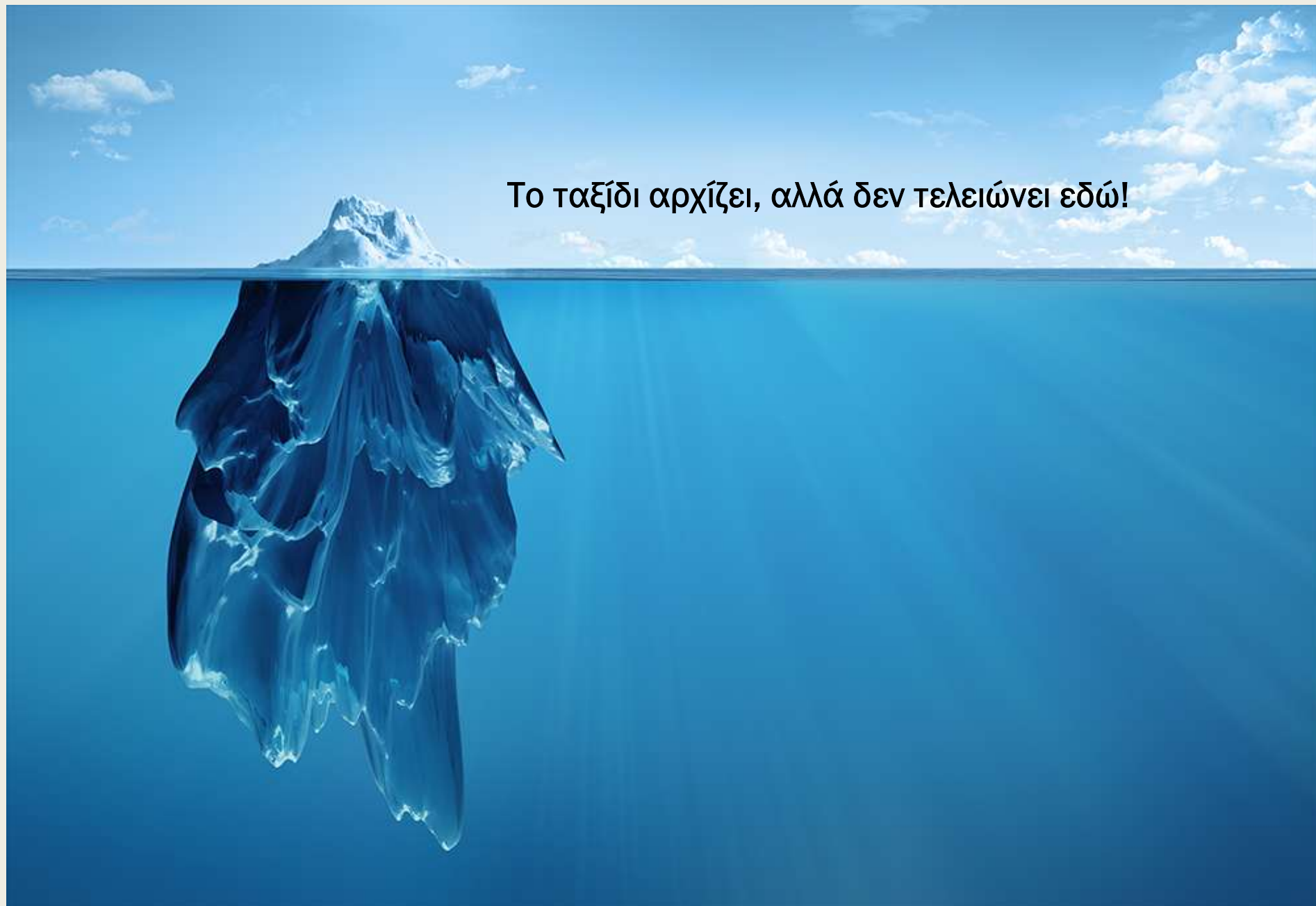
Σχεδίαση Ψηφιακών Συστημάτων

■ Αξιολόγηση φοιτητών

- Με εκπόνηση εργαστηριακών ασκήσεων και project:
 - Εργαστηριακές ασκήσεις (βαθμός 7)
 - Για την εκμάθηση της χρήσης του Εργαλείου Λογισμικού VIVADO της Xilinx
 - Υλοποιήσεις ψηφιακών κυκλωμάτων σε Zynq FPGA (με την κάρτα Zedboard)
 - Υλοποίηση τμημάτων απλοποιημένης μικροαρχιτεκτονικής RISC-V
 - *Project 1* (+ βαθμός 3 οι Προπτυχιακοί, + βαθμός 2 οι Μεταπτυχιακοί):
 - Σχεδίαση και υλοποίηση ενός βασικού συνόλου εντολών σε πυρήνα επεξεργαστή ενός κύκλου αρχιτεκτονικής RISC-V
 - *Project 1plus* (+ βαθμός 1 - μόνο οι Μεταπτυχιακοί):
 - Σχεδίαση και υλοποίηση επιπρόσθετων εντολών σε πυρήνα επεξεργαστή ενός κύκλου αρχιτεκτονικής RISC-V

Οι προπτυχιακοί φοιτητές θα εκπονήσουν υποχρεωτικά τις εργαστηριακές ασκήσεις (μέγιστος βαθμός το 7) και προαιρετικά το *Project 1* (μέγιστος βαθμός το 10), ενώ οι μεταπτυχιακοί φοιτητές θα εκπονήσουν υποχρεωτικά τις εργαστηριακές ασκήσεις και το *Project 1* (μέγιστος βαθμός το 9) και προαιρετικά το *Project 1plus* (μέγιστος βαθμός το 10).

Σχεδίαση Ψηφιακών Συστημάτων

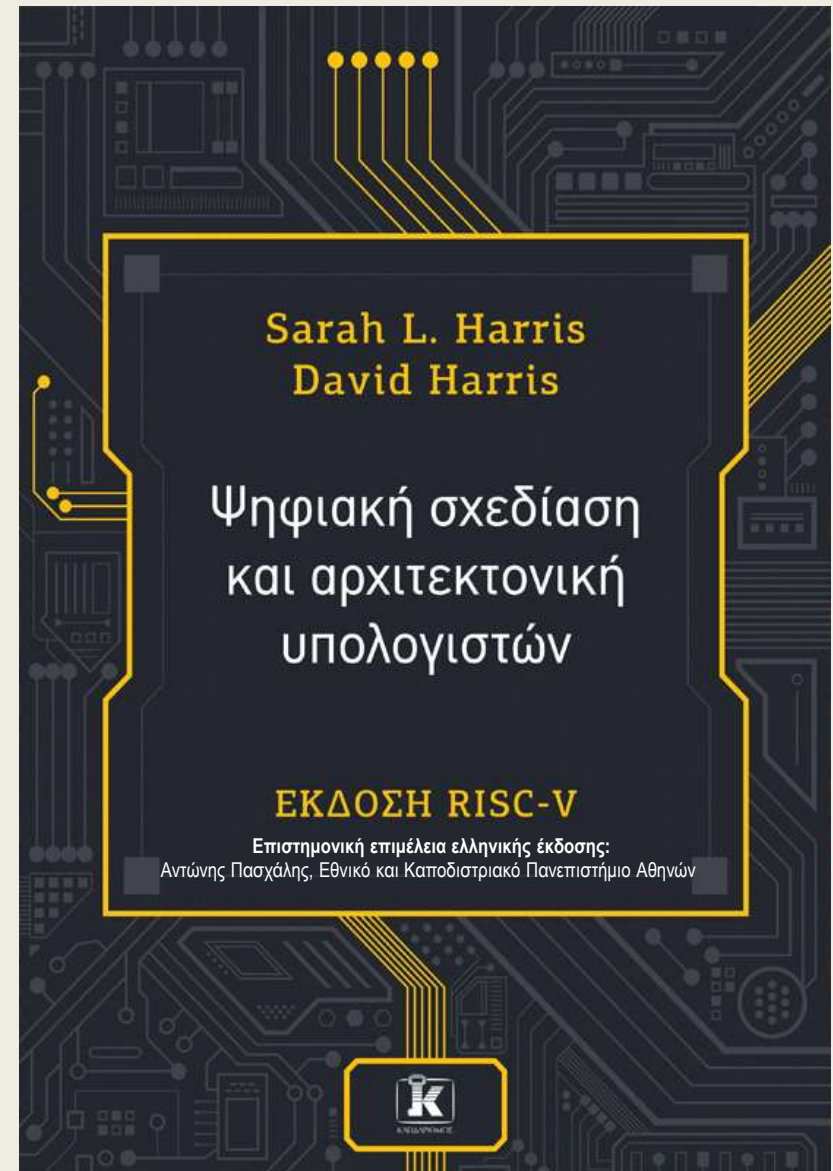


Σχεδίαση Ψηφιακών Συστημάτων

■ Βιβλιογραφία

- ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ ΚΑΙ ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΥΠΟΛΟΓΙΣΤΩΝ, **ΕΚΔΟΣΗ RISC-V**
- Κωδικός Βιβλίου στον Εύδοξο: 112705602
- Έκδοση: 1η/2025
- Συγγραφείς: SARAH L. HARRIS, DAVID MONEY HARRIS
- ISBN: 978-960-645-368-7
- Τύπος: Σύγγραμμα
- Διαθέτης (Εκδότης): ΕΚΔΟΣΕΙΣ ΚΛΕΙΔΑΡΙΘΜΟΣ ΕΠΕ

+ Εκπαιδευτικό Υλικό στο e-class



Γιατί επιλέξαμε να μεταφράσουμε το βιβλίο των S.L. Harris και D.M. Harris με τίτλο «Ψηφιακή Σχεδίαση και Αρχιτεκτονική Υπολογιστών – Έκδοση RISC-V» ;

- Θεμελιώνονται με μοναδικό τρόπο όλες οι βασικές αρχές και σύγχρονες πρακτικές της ψηφιακής σχεδίασης και αρχιτεκτονικής υπολογιστών από την οπτική γωνία του σχεδιαστή ψηφιακών συστημάτων
- Χρησιμοποιεί την ψηφιακή σχεδίαση ως εφαλτήριο για την ολοκληρωμένη και λεπτομερή παρουσίαση της διαδικασίας σχεδίασης ενός απλού, σύγχρονου και με συνεχώς αυξανόμενη ραγδαία δημοφιλία επεξεργαστή αρχιτεκτονικής RISC, του επεξεργαστή RISC-V (5^η Αρχιτεκτονική RISC του Berkeley)
- Η αρχιτεκτονική του RISC-V ξεχωρίζει επειδή είναι μία αρχιτεκτονική ανοικτού πηγαίου κώδικά που την καθιστά συνεχώς επεκτάσιμη (διαθέτει ακόμα και συμπιεσμένες εντολές μεγέθους 16 bit), με πρακτικό αποτέλεσμα την ελεύθερη χρήση της τα τελευταία χρόνια σε πληθώρα εφαρμογών, ακόμη και διαστημικών, χωρίς ωστόσο να υπολείπεται σε δυνατότητες (λόγω των επεκτάσεών της) συγκριτικά με άλλες επιτυχημένες εμπορικές αρχιτεκτονικές, όπως οι MIPS, ARM και x86.
- Σε όλη την έκταση του βιβλίου παρουσιάζονται σε βάθος τα πιο σημαντικά θέματα που συνδέουν τη ψηφιακή σχεδίαση και την αρχιτεκτονική υπολογιστών με τις προκλήσεις που καλείται να αντιμετωπίσει στην πράξη ο σημερινός σχεδιαστής πολύπλοκων ψηφιακών συστημάτων.

Επαναδιαμόρφωση (reconfiguration)

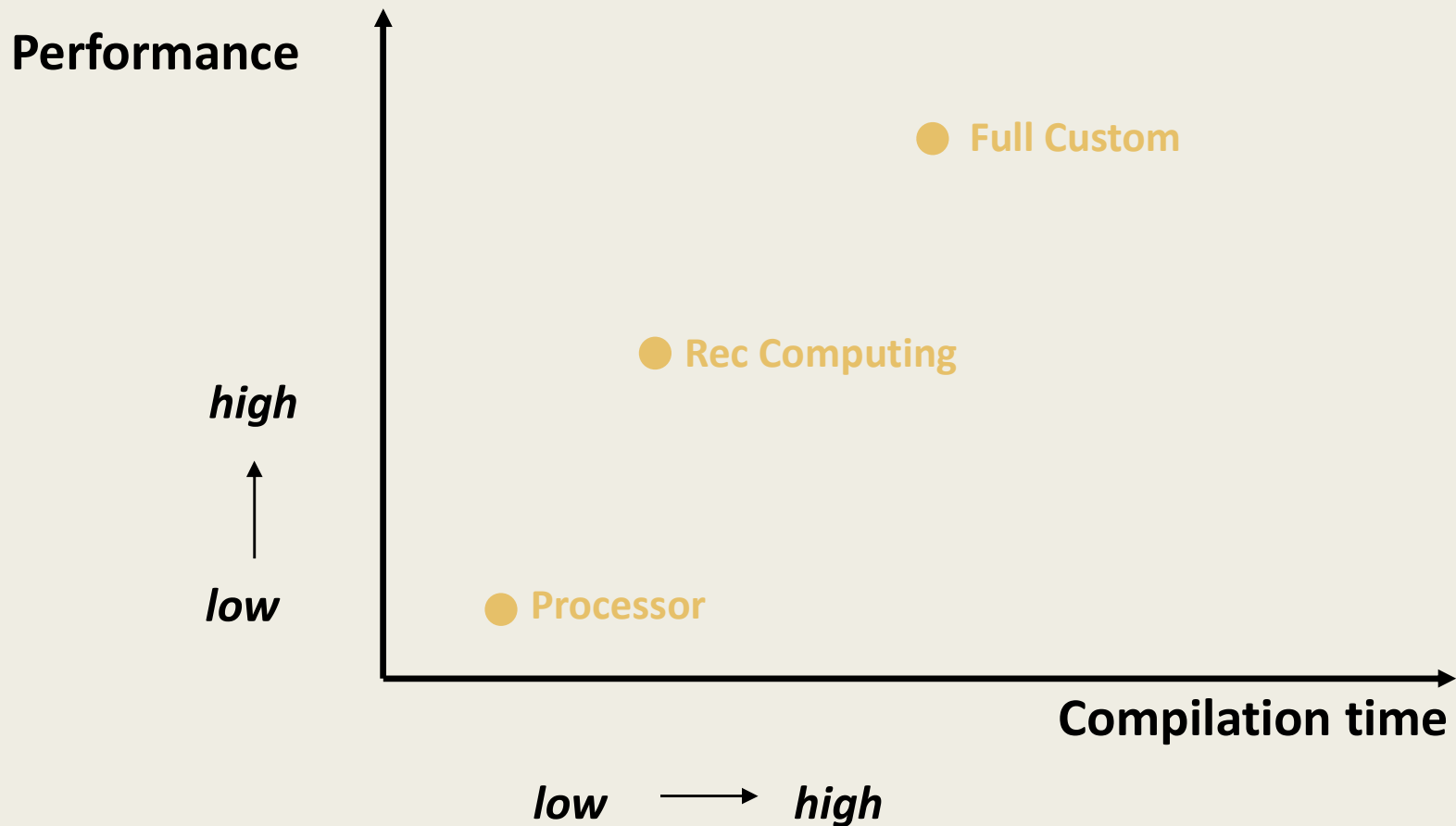
The process of physically altering the location or functionality of network or system elements.

Automatic configuration describes the way sophisticated networks can readjust themselves in the event of a link or device failing, enabling the network to continue operation.

Gerald Estrin, 1960



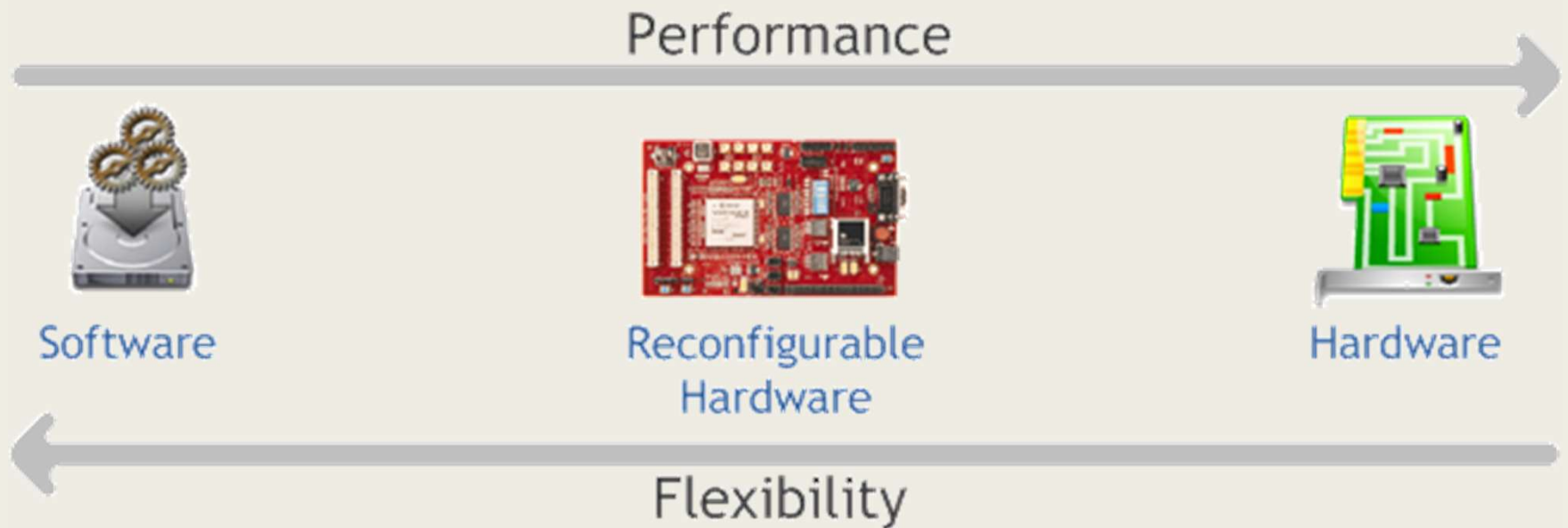
Επαναδιαμορφώσιμη υπολογιστική (reconfigurable computing)



Reconfigurable computing is defined as the study of computation using reconfigurable devices

Christophe Bobda, 2007

Επαναδιαμορφώσιμα συστήματα υλικού



“Reconfigurable computing is intended to fill the gap between hardware and software, achieving potentially much higher performance than software, while maintaining a higher level of flexibility than hardware”

(K. Compton and S. Hauck, *Reconfigurable Computing: a Survey of Systems and Software*, 2002)

Επαναδιαμορφώσιμα συστήματα στο διάστημα

■ Adaptable instrument

- Προσαρμόζεται σε απρόσμενα συμβάντα
- Αλλαγή ή επέκταση των επιστημονικών στόχων
- Αυξημένο *yield* στα επιστημονικά δεδομένα
- Μειωμένος κίνδυνος για ολική απώλεια του οργάνου



■ Dynamic Adaptability

- Διαστημική τεχνολογία αιχμής
- *Time-Space Partitioning*
 - Όταν δεν χρειάζονται ταυτόχρονα όλες οι λειτουργίες
- Σημαντικά οφέλη στο *size, weight, power and cost (SWaP-C)*



Προγραμματιζόμενες από τον χρήστη διατάξεις πυλών (Field Programmable Gate Arrays - FPGA)

- Οδηγούν τις εξελίξεις στην υλοποίηση αλγορίθμων στο υλικό
- Παρέχουν δυνατότητα σχεδίασης **VLSI κυκλωμάτων χαμηλού κόστους** στο πεδίο, με τη χρήση σχετικά φθηνών εργαλείων λογισμικού (CAD)
 - *κόστος ανεκτό από μικρές εταιρείες που δραστηριοποιούνται στην ανάπτυξη επιταχυντών υλικού και γενικότερα πυρήνων IP*
- Είναι **επαναπρογραμματιζόμενες** και **επαναδιατάξιμες** (ολικώς ή μερικώς) ακόμα και κατά τη διάρκεια της κανονικής λειτουργίας
 - Παρέχουν **μεγάλη ευελιξία** στη σχεδίαση ψηφιακών συστημάτων
- Διαθέτουν **ενσωματωμένες μνήμες, πολλαπλασιαστές, ειδικές μονάδες για ψηφιακή επεξεργασία σήματος, εισόδους/εξόδους υψηλών ταχυτήτων, μετατροπείς δεδομένων (όπως ADC, DAC, RF),** ακόμα και **πυρήνες επεξεργαστών ή μηχανές AI** σε νέες τεχνολογίες
- Η γενικότερη τεχνολογική εξέλιξη σε θέματα κόστους, αποδόσεων, κατανάλωσης ισχύος και αξιοπιστίας έχει σαν αποτέλεσμα οι σύγχρονες διατάξεις FPGA να χρησιμοποιούνται ευρέως σε **εμπορικές, βιομηχανικές, αμυντικές και διαστημικές εφαρμογές**

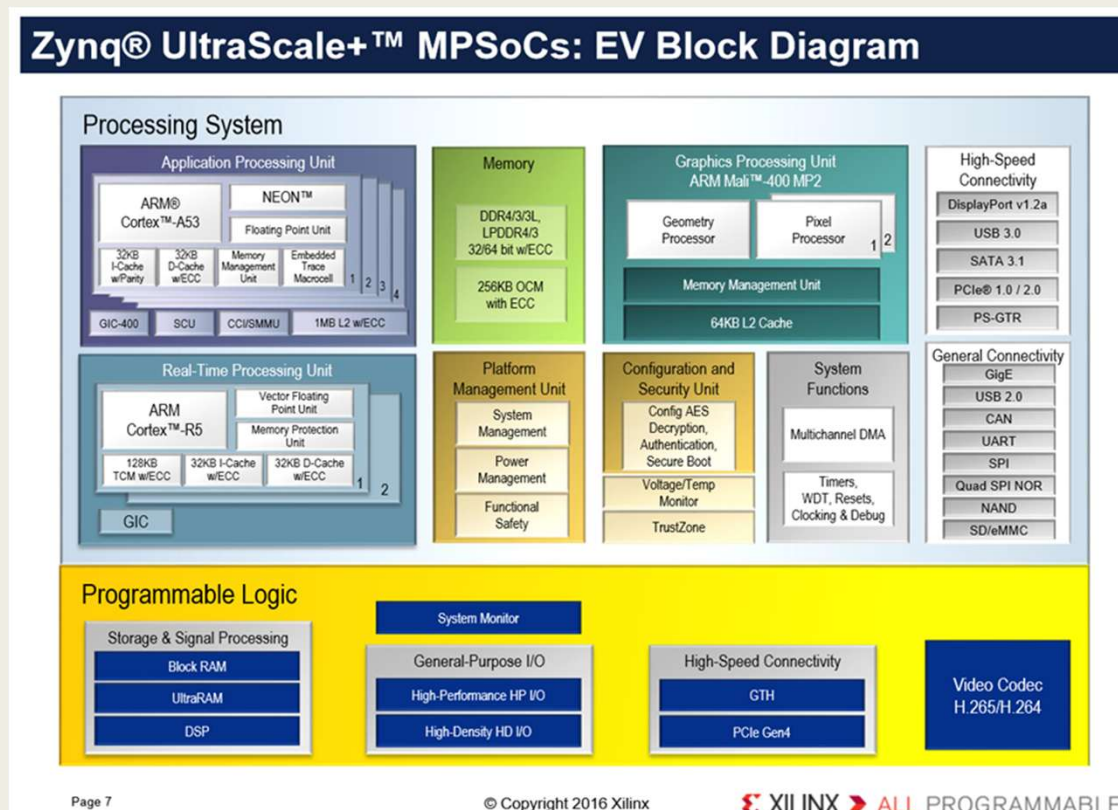
Επιταχυντές Υλικού για ψηφιακά συστήματα υψηλής απόδοσης σε τεχνολογία FPGA

■ Κανόνας 90/10

- Συχνά, το **90% του χρόνου εκτέλεσης** και της κατανάλωσης ισχύος ενός προγράμματος δαπανάται **από το 10% του κώδικα**
- Μικρά κομμάτια μιας εφαρμογής αποτελούν το **bottleneck της απόδοσης**
 - Αφορούν κυρίως επεξεργασία δεδομένων χωρίς πολύπλοκο έλεγχο (dataflow processing), όπως επεξεργασία και συμπίεση εικόνας 3D και βίντεο, κρυπτογραφία, μηχανική μάθηση, κλπ.
- Οι **επεξεργαστές γραφικών (GPUs)** επιταχύνουν σημαντικά το κρίσιμο μέρος της εφαρμογής που υλοποιεί αλγορίθμους με διανυσματικές πράξεις που εκτελούνται παράλληλα χωρίς εξαρτήσεις δεδομένων
- Οι **επιταχυντές υλικού** (ως **πυρήνες IP σε τεχνολογία FPGA**) επιταχύνουν σημαντικά το κρίσιμο μέρος της εφαρμογής που υλοποιεί σύνθετους αλγορίθμους με εξαρτήσεις δεδομένων
- Οι **πυρήνες επεξεργαστών (CPUs)** υλοποιούν τα λιγότερο κρίσιμα μέρη με τεχνικές παράλληλης επεξεργασίας

Επιταχυντές Υλικού για ψηφιακά ενσωματωμένα συστήματα υψηλής απόδοσης σε τεχνολογία FPGA

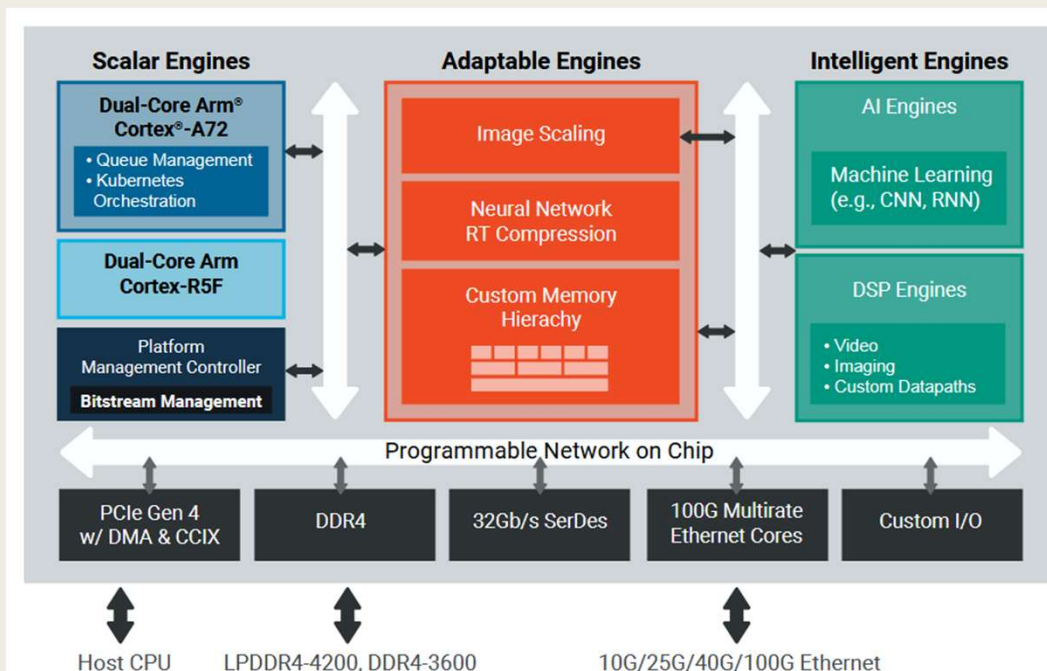
- Η τεχνολογική εξέλιξη που αλλάζει την κλασσική προσέγγιση του υλικού και τα όρια της **συ-σχεδίασης υλικού-λογισμικού**
 - προγραμματιζόμενη λογική (για πυρήνες IP) + μνήμες + επεξεργαστές ARM + επεξεργαστές γραφικών + έτοιμοι επιταχυντές υλικού + συνδεσιμότητα υψηλής ταχύτητας σε ένα τσιπ (**AMD XILINX Multi-Processing System on Chip**)!
 - Το ενσωματωμένο λογισμικό μπορεί να εκτελεστεί από την SRAM στο FPGA
 - Λύση ενός τσιπ μειωμένου κόστους που αποφεύγει το κόστος ανάπτυξης νέου ASIC



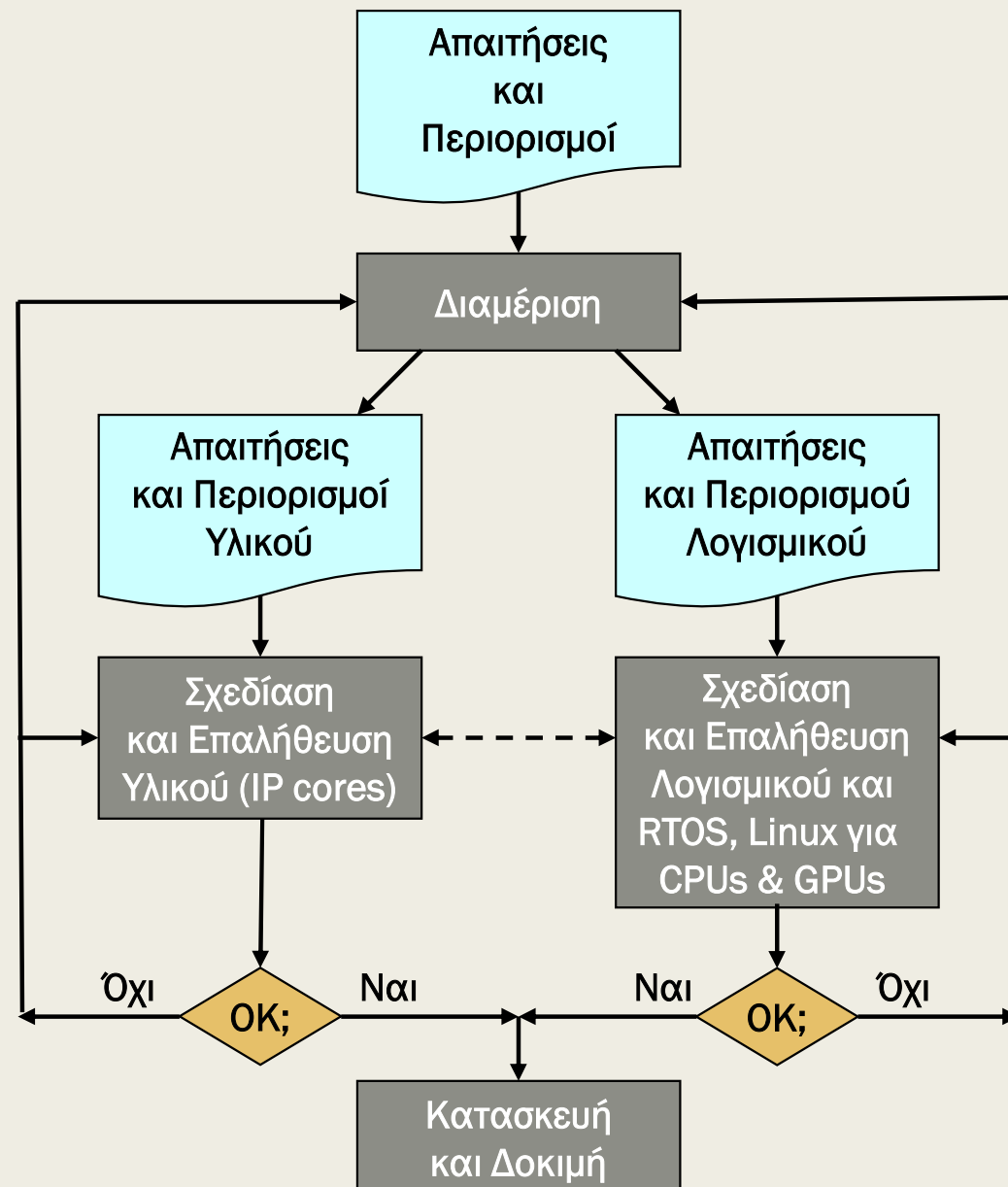
Επιταχυντές Υπολογισμού AI για ψηφιακά ενσωματωμένα συστήματα υψηλής απόδοσης σε τεχνολογία FPGA

- Η τεχνολογική εξέλιξη που αλλάζει τα όρια της **συμπερασματολογίας*** στην **τεχνητή νοημοσύνη (AI)**
 - Είναι προσαρμόσιμη σε εξελισσόμενους αλγόριθμους τεχνητής νοημοσύνης
 - Συνδυάζει AI Engines, DSP Engines, Adaptable Engines (π.χ για συμπιεσμένα νευρωνικά δίκτυα), προγραμματιζόμενη λογική και επεξεργαστές ARM (**AMD XILINX Versal Adaptive System on Chip**)!
 - Διαθέτει προγραμματιζόμενο δίκτυο σε τσιπ και διεπαφές υψηλής ταχύτητας
 - Διασφαλίζει βελτιστοποιημένη συνδεσιμότητα με το Κέντρο Δεδομένων

* Είναι η διαδικασία όπου ένα εκπαιδευμένο μοντέλο μηχανικής μάθησης χρησιμοποιεί τις γνώσεις που έχει μάθει για να κάνει προβλέψεις ή να πάρει αποφάσεις σχετικά με νέα, άγνωστα δεδομένα.



Συ-σχεδίαση υλικού-λογισμικού στα σύγχρονα ψηφιακά ενσωματωμένα συστήματα



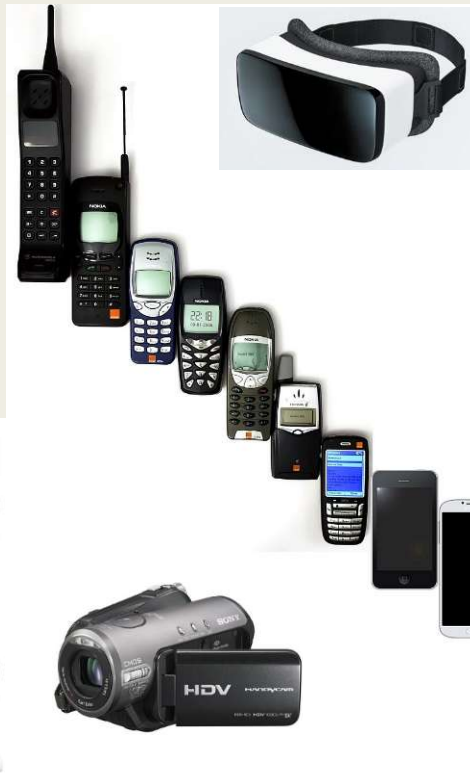
Τα ψηφιακά συστήματα βρίσκονται παντού!

- Ψηφιακές συσκευές καταναλωτών (consumer electronics):

1960

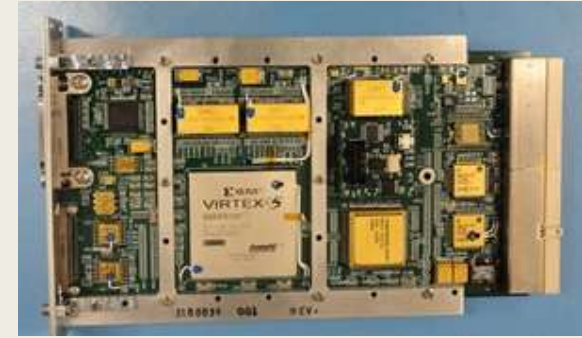
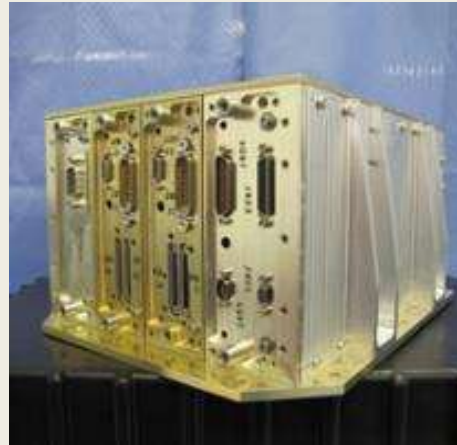


1980



Τα ψηφιακά συστήματα βρίσκονται παντού!

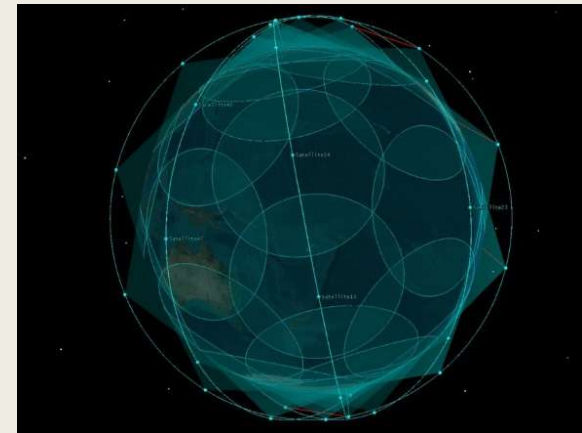
- Μερικά παραδείγματα από την αεροδιαστημική:



Adaptive image & video processing/compression



Earth observation and hyperspectral imaging

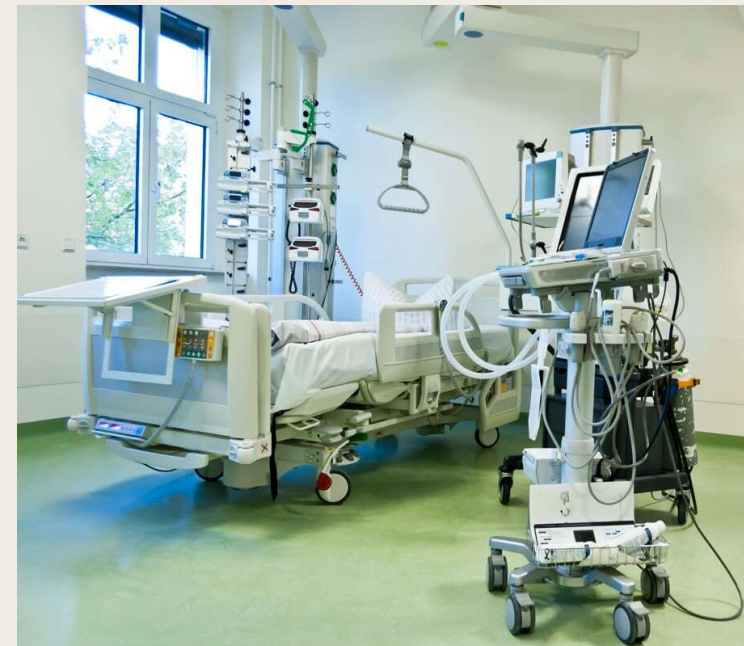
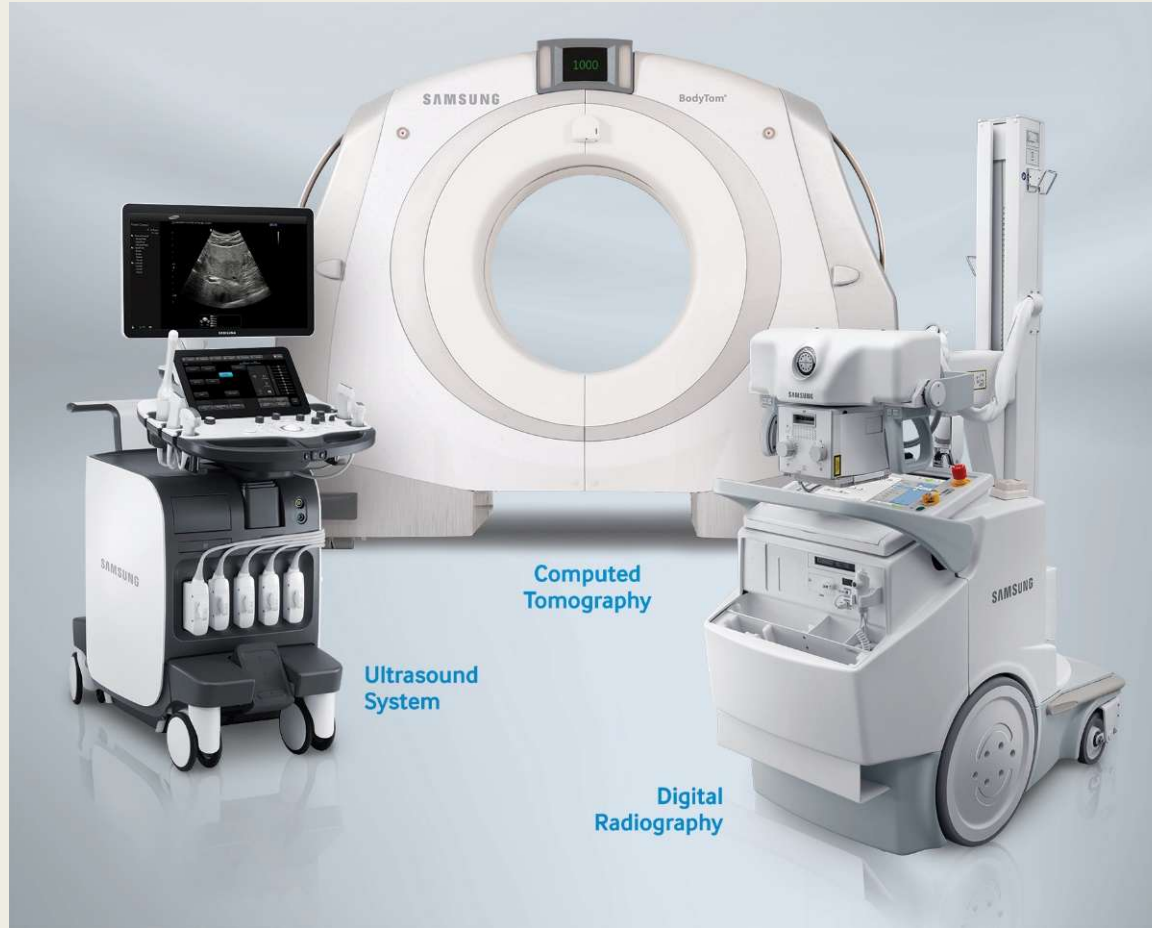


Internet of space and navigation



Τα ψηφιακά συστήματα βρίσκονται παντού!

- Μερικά παραδείγματα από την ιατρική:

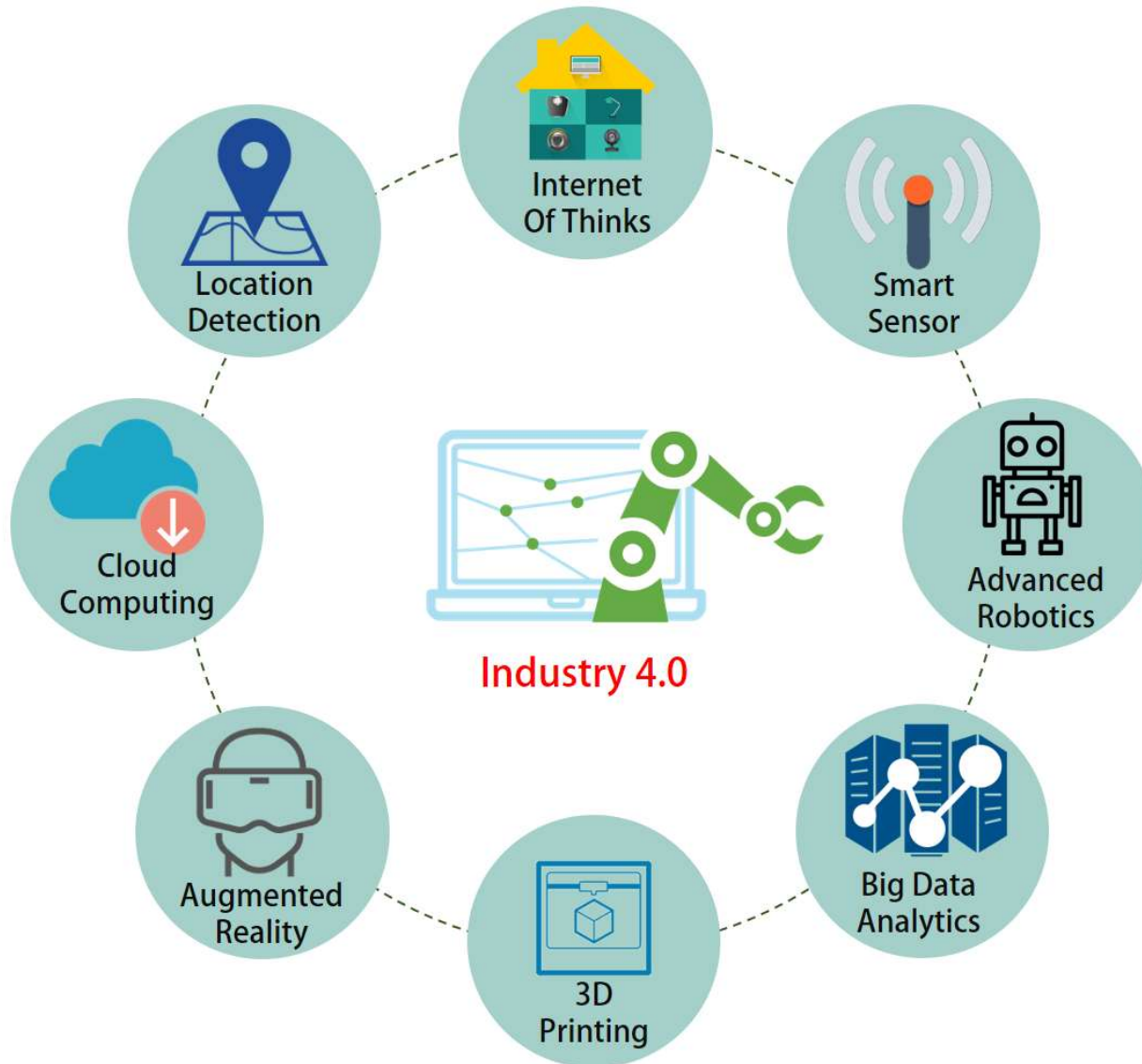


-
- The diagram illustrates a wide range of automotive systems and components, categorized by their location relative to the vehicle:
- Front End / Hood Area:**
 - Night Vision
 - Windshield Wiper Control
 - Head-Up Display
 - Adaptive Front Lighting
 - Adaptive Cruise Control
 - Automatic Braking
 - Electric Power Steering
 - Electronic Throttle Control
 - Electronic Valve Timing
 - Engine / Under the Hood:**
 - Engine Control
 - Parental Controls
 - Accident Recorder
 - Instrument Cluster
 - Idle Stop/Start
 - Active Vibration Control
 - Cylinder De-activation
 - Interior / Cabin:**
 - Driver Alertness Monitoring
 - Event Data Recorder
 - Auto-Dimming Mirror
 - Interior Lighting
 - Voice/Data Communications
 - DSRC
 - Battery Management
 - Lane Correction
 - Electronic Toll Collection
 - Digital Turn Signals
 - Navigation System
 - Security System
 - Active Exhaust Noise Suppression
 - Active Suspension
 - Hill-Hold Control
 - Regenerative Braking
 - Tire Pressure Monitoring
 - Active Yaw Control
 - Parking System
 - Seat Position Control
 - Lane Departure Warning
 - Blindspot Detection
 - Remote Keyless Entry
 - Transmission Control
 - Antilock Braking
 - Electronic Stability Control
 - Rear End / Trunk Area:**
 - Active Cabin Noise Suppression
 - Cabin Environment Controls
 - Entertainment System

Τα ψηφιακά συστήματα βρίσκονται παντού!

- Μερικά παραδείγματα από την ψηφιακή βιομηχανία:

INDUSTRY 4.0 FRAMEWORK - THE DIGITAL TECHNOLOGIES



Robotics automation and machine learning @ industry



Big data analytics and machine learning @ data centers

ΕΚΠΑ: Εργαστήριο Ψηφιακών Συστημάτων και Αρχιτεκτονικής Υπολογιστών (DSCAL)

Διαστημικές Τεχνολογίες Αιχμής Made in GR 2009-2025

- System-On-Chip (SoC) Dependable and Adaptable Payload Data Processing Units
- High-Speed Data Chain for “smart” next-generation payloads (EO, optical/RF com, SAR)
- State-of-the-art in data-rate performance HW accelerators, as IP cores, in FPGA technology (space grade and COTS) according to ECSS-Q-ST-60-02C and ECSS-E-ST-20-40C
- Συμμετοχή σε 2 μεγάλες διαστημικές αποστολές από το 2009 (ESA PROBA-3, ESA TRUTHS)
- Συμμετοχή σε 5 διαστημικές αποστολές του Εθνικού Προγράμματος Μικροδορυφόρων
- Technology Readiness Level (TRL) 9 (πλήρης τεχνολογική ωριμότητα – Flight heritage)

Professor Antonios Paschalis

Dept. of Informatics and Telecommunications
DSCAL Director and Space Technology Head (paschalis@di.uoa.gr)

Associate Professor Nektarios Kranitis

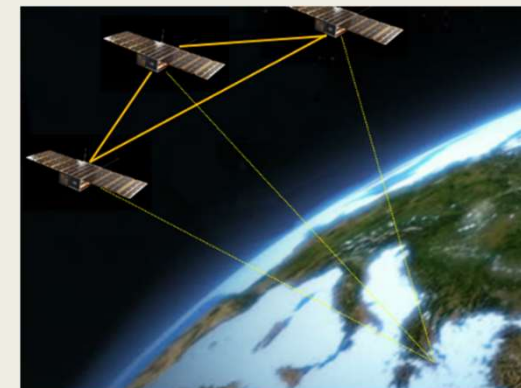
Dept. of Aerospace Science and Technology
DSCAL Affiliate Member (nkran@aerospace.uoa.gr)

DSCAL: Συμμετοχή σε 7 αποστολές

- **ESA PROBA-3 Giant Coronagraph System (2009-2025) - COMPLETED**
 - **Phases A/B/C/D/E1 – Formation Fly of two satellites**
 - Image Data Compression Algorithm and HW Accelerator (IP core in FPGA technology)
 - **Flight heritage, TRL=9@2024** (DSCAL/CBK/CSL) – Launch 5 Dec. 2024, IOCR June 2025
- **ESA TRUTHS (2021-2026)**
 - **Phase A/B1 (extended to Phases B2/advanced C)**
 - CCSDS 123.0-B-2 Low-Complexity Lossless and Near-Lossless Multispectral and Hyperspectral Image Compression (participation in **Payload Processing Unit (PPU) implementation**)
 - Now@TRL=4 (DSCAL/ISD/AIRBUS)
- **ERMIS Hellenic CubeSat Demonstration Mission (2023-2026)**
 - **Phase A/B/C/D/E1/E2)**
 - IOD/IOV of **Payload Data Processing Unit** designed in Greece (SW/FW)
 - IOD/IOV of State-of-the-art **FPGA accelerators** of CCSDS algorithms:
 - CCSDS 123.0-B-2 lossless and near-lossless hyperspectral image compression,
 - CCSDS 122.0-B-2 image data compression
 - CCSDS 142.0-B-2 O3K LDPC channel-coding for optical communications
 - Now@TRL=6 (DSCAL/DAST)



**Built in a GOMSpace
NanoMind HP MK3**



■ Portfolio of State-of-the-art HW accelerators, as IP Cores

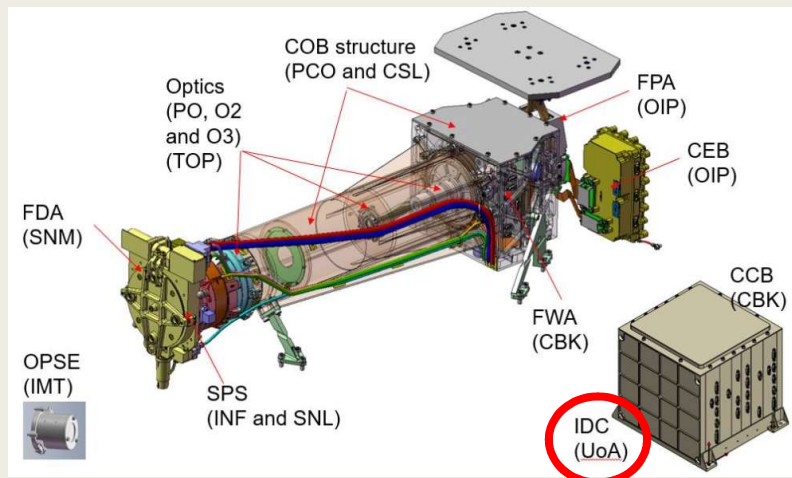
Targeting space-grade FPGA (V5QV, KU060, RTG4) and COTS (i.e. Zynq 7000)

- CCSDS 123.0-B-1/2 Lossless/Near Lossless Hyperspectral Image Compression
 - Novel scalable, parallel and high-throughput architecture 6 Cores => 25 Gbps
 - Hybrid Entropy Encoder (World's first implementation)
 - Integrated in ABDS-SAS KUP Board (H2020 Hi-SIDE Project)
 - Novel SAR compression
- CCSDS 121.0-B-1 Image Data Compression enhanced for 2D images (3.3 Gbps)
 - Flight heritage, TRL=9
- CCSDS 122.1 Transform based Hyperspectral Image Compression (1,5 Gbps)
 - World's first implementation
- CCSDS 122.0-B-2 Image Data Compression (5,5 Gbps)
- CCSDS 131.1-O-2 Low-Density Parity-Check (LDPC) codes (C2, AR4JA) (12 Gbps)
 - 5x less hardware than NASA JPL implementation
- CCSDS 131.5-O-1 Packet-Level Erasure Coding
- CCSDS 142.0-B-2 O3K LDPC channel-coding
- CCSDS 352.0-B-2 Cryptographic Algorithms AES-GCM 256 (40 Gbps)

ESA PROBA-3 Giant Coronagraph System (2009-2025)

- Image Data Compression Algorithm and HW Accelerator (IP core in FPGA)
- Based on CCSDS 121 Lossless Data Compression enhanced for 2D images

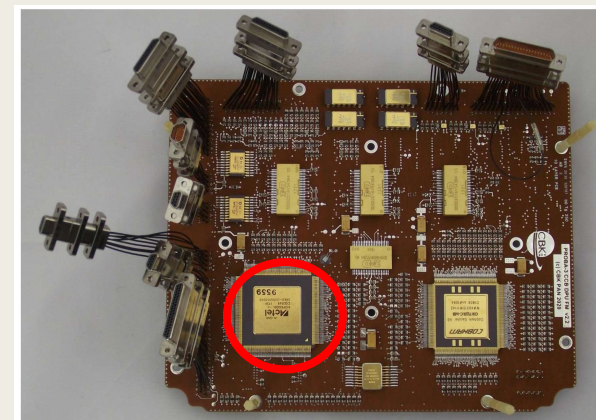
Overview of ASPIICS Coronagraph Instrument



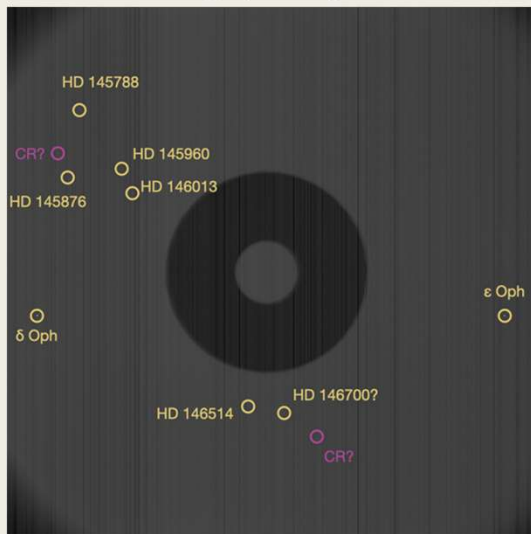
ASPIICS Coronagraph Control Box



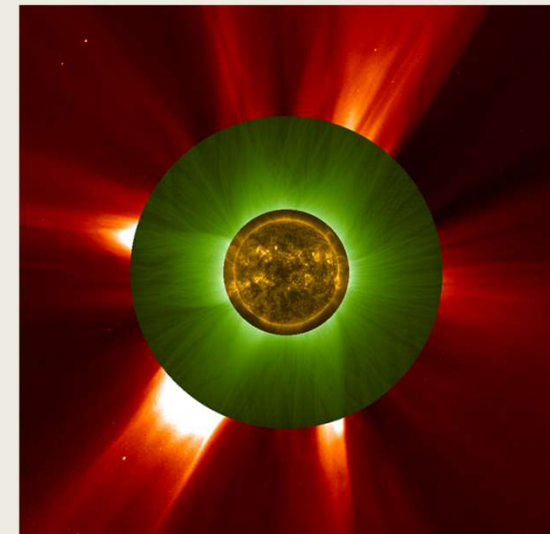
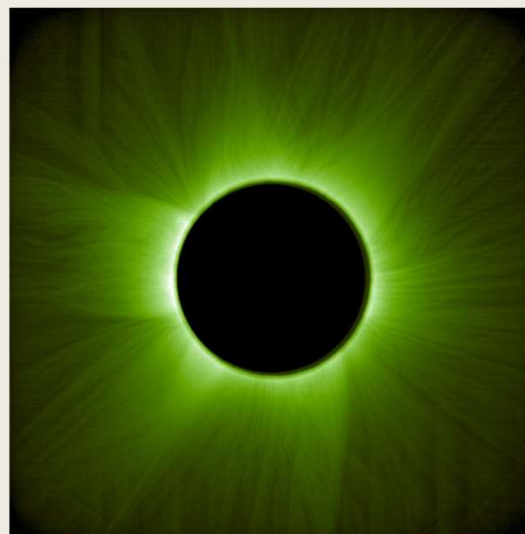
ASPIICS Image Data Compression



First coronagraph image after IOV



Solar corona viewed by PROBA-3 ASPIICS The Sun and its corona viewed by PROBA-2/3 SOHO



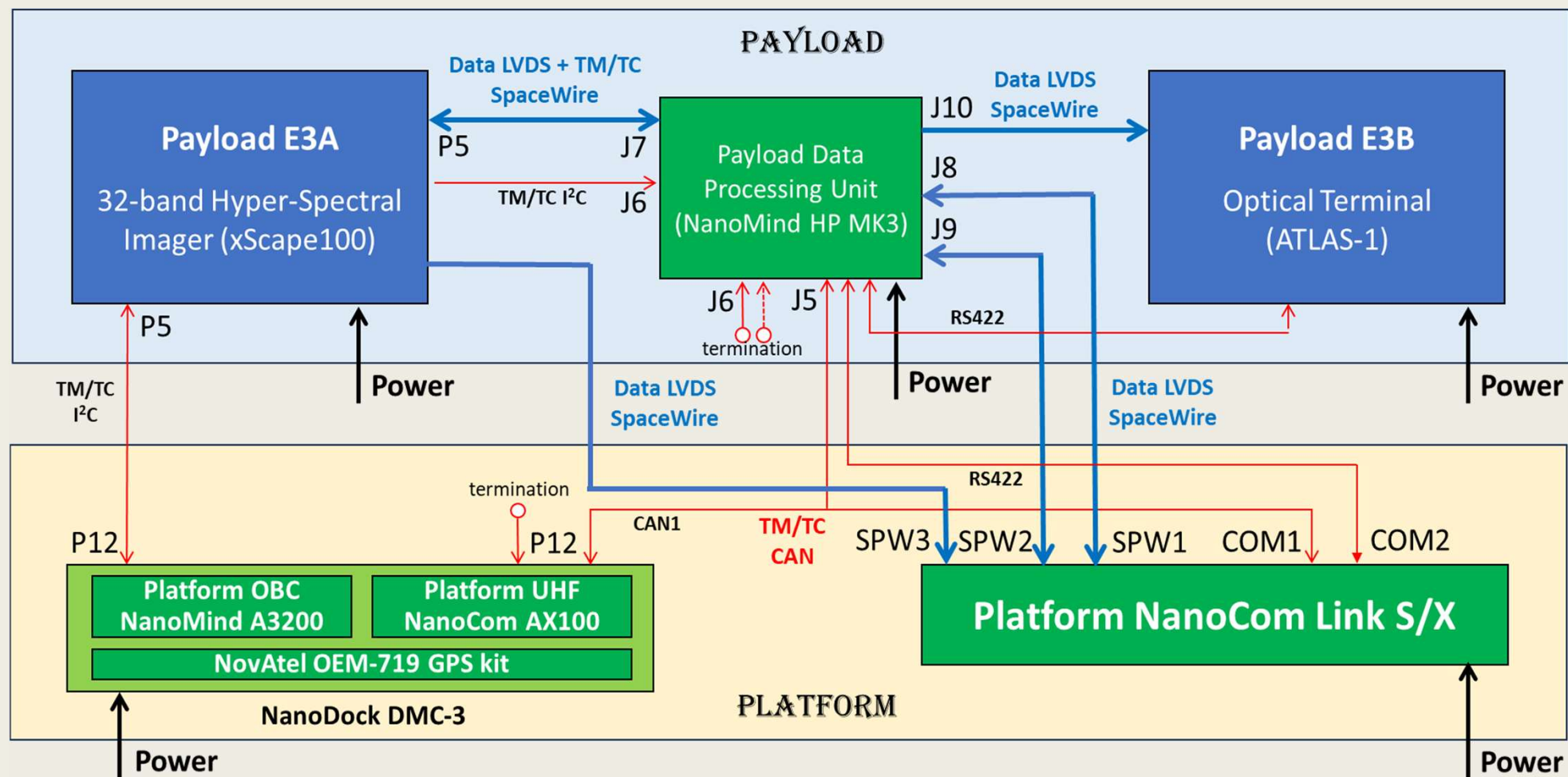
Διαστημικό πρόγραμμα ERMIS του ΕΚΠΑ



Διαστημική Αποστολή ERMIS 3 Νανοδορυφόροι 'Made in Greece'

Το διαστημικό πρόγραμμα ERMIS (Hellenic Cubesat Demonstration Mission) με την κατασκευή 3 CubeSats στο ΕΚΠΑ έχει σαν στόχο να πιστοποιήσει νέες, καινοτόμες διαστημικές τεχνολογίες και εφαρμογές, όπως: επικοινωνίες IoT/5G, δια-δορυφορικές συνδέσεις (ERMIS-1/2, 6U, 10Kg), **επεξεργασία εικόνας σε τροχιά με χρήση επιταχυντών υλικού για αλγόριθμους συμπίεσης υπερφασματικών εικόνων και κωδικοποίηση οπτικού καναλιού σύμφωνα με τα διαστημικά πρότυπα CCSDS**, αλγόριθμοι αυτομάτου ελέγχου για την παρατήρηση και τον έλεγχο της ακριβούς θέσης του δορυφόρου, οπτικές επικοινωνίες με Laser στο 1Gbps και σύνδεση του δορυφόρου με τον οπτικό διαστημικό σταθμό εδάφους στον Χελμό, καθώς και υπερφασματική τηλεπισκόπηση με ακρίβεια 5m για διαστημικές εφαρμογές εθνικού ενδιαφέροντος, όπως για παράδειγμα έξυπνη γεωργία (ERMIS-3, 8U, 12Kg). Εκτόξευση: Φεβρουάριος 2026. Συντονίζει το Τμήμα Αεροδιαστημικής Επιστήμης & Τεχνολογίας του Εθνικού και Καποδιστριακού Πανεπιστημίου Αθηνών.

ERMIS Payload Data Processing Unit



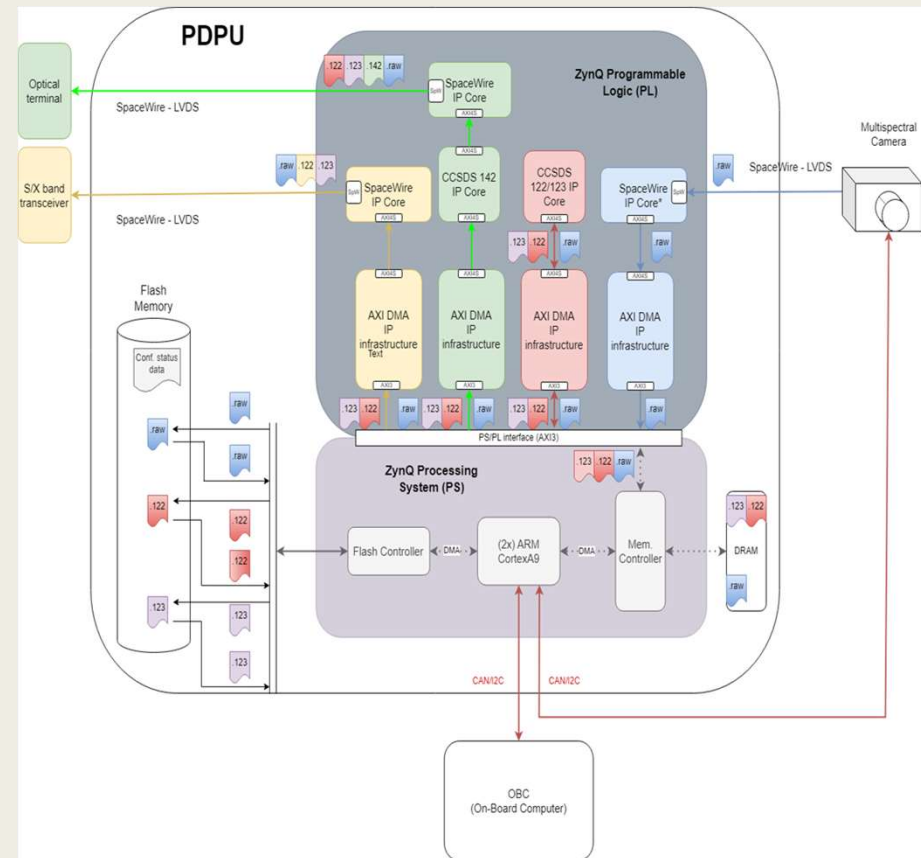
ERMIS Payload Data Processing Unit

Interfaces

- Data: 100Mbps SpW
- TM/TC: CANbus/I²C/RS-422/SpW

Functional description

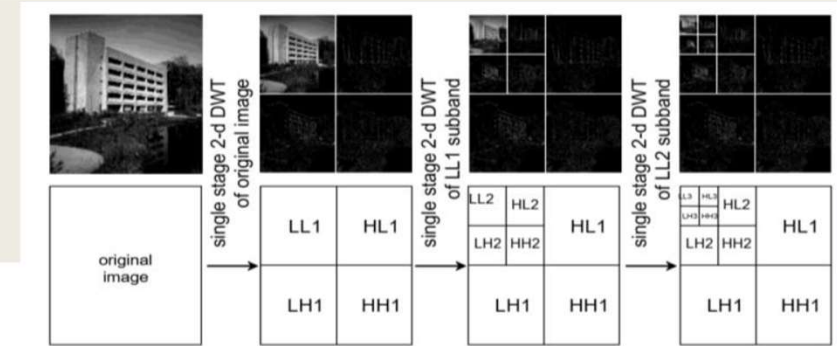
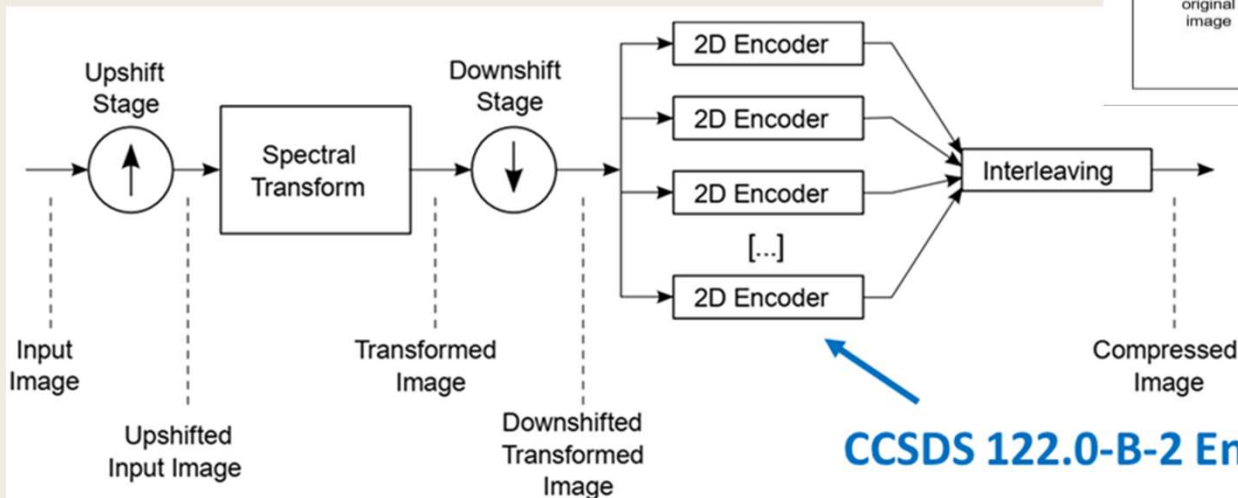
- All modes read from or write to flash (no temporary storage on DRAM)
- Camera readout to flash: control camera interface (SpW/I²C)
- CCSDS 122/123 compression: read from flash-compress-write to flash
- Optical downlink: read compressed data from flash & transmit to terminal with/without CCSDS 142 encoding (on-line)
- S/X band downlink: read compressed data from flash & transmit to terminal
- Different bitstreams: radiation protection
- Controller application (on PS) to handle data flows
- Failure Detection Isolation and Recovery
- **Flight heritage in 2026 (ERMIS mission)**



Built in a GOMSpace
NanoMind HP MK3

CCSDS 122.1 Deep Lossy Hyperspectral Image Compression (Multi IP cores)

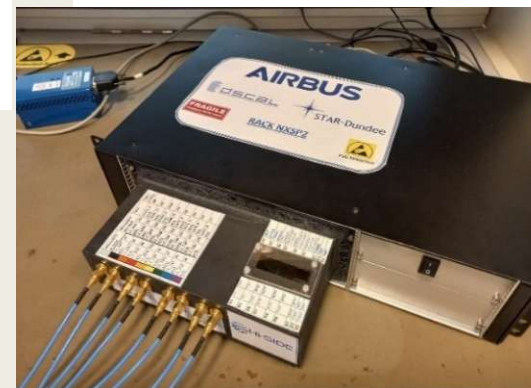
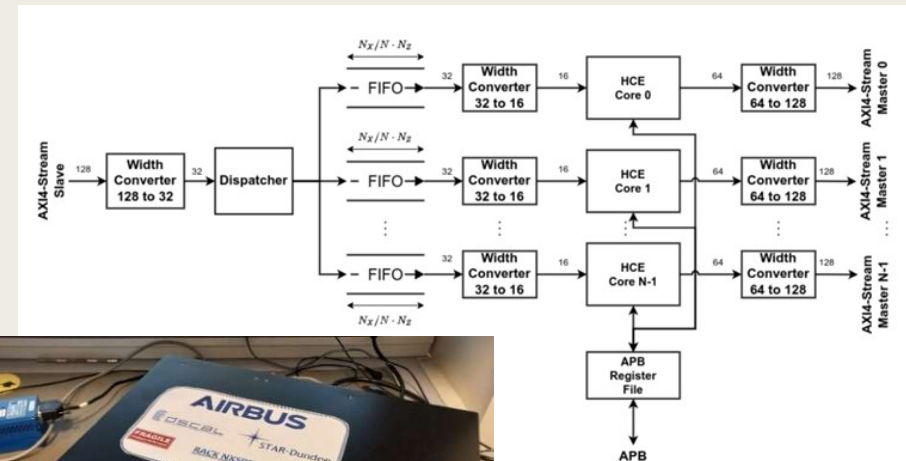
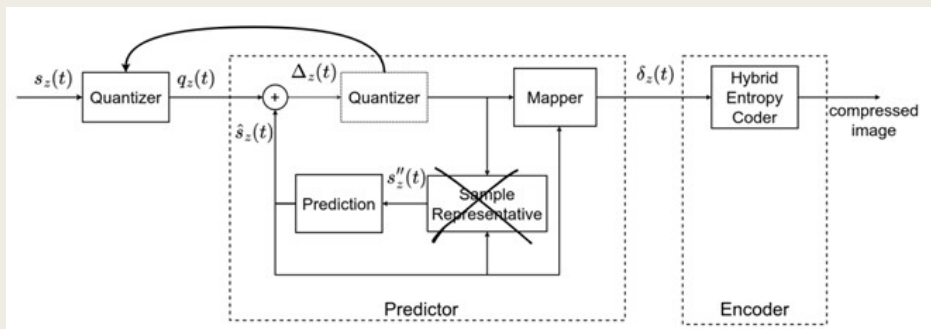
- Rate/Quality-limited and transformed-based compression based on CCSDS 122.0-B-2 2D Encoder (Discrete Wavelet Transform + Bit Plane Encoder)
- Deep lossy compression (<1.5 bpp) using spectral transform and rate allocation
- Supported spectral transformations in HW:
 - Integer Wavelet Transform (5-stage CDF 5/3, same as JPEG2K)
 - Pairwise Orthogonal Transform (POT) – KLT approximation (under development)
- Rate allocation algorithm in HW: Reverse Water Filling
- **World's first implementation**
- **Flight heritage in 2026 for CCSDS 122 Encoder IP core (ERMIS mission)**



CCSDS 122.0-B-2 Encoder IP Core

CCSDS 123 Lossless / Near Lossless Hyperspectral Image Compression

- Quality limited and prediction-based compression algorithm
- Lossless/Near-lossless compression using pre-quantization and segmentation
 - *Novel scalable, parallel & high-throughput architecture*
 - *Similar compression performance with ESA IP core (internal quantizer)*
- 2 x IP cores integrated in ABDS-SAS KUP Board (H2020 Hi-SIDE Project)
- CCSDS 123.0-B-2 Hybrid Encoder: **World's first implementation**
- Part of ESA Contract No. 4000136723/22/NL/CRS CCSDS 123.0-B-2 IP Core
- **Flight heritage in 2026 (ERMIS mission)**



Single Core => **4.56 Gbps @1.67W**
(Double throughput wrt ESA IP core)

Six Cores => **25.44 Gbps @6.12W**



Coding and Synchronization for RF and Optical Link Payloads (Various IP cores)



■ State-of-the-art CCSDS QC LDPC Encoding Architecture and FPGA implementation:

- *CCSDS 131.0-B-3 TM Channel Coding IP Cores for RF channels*
 - Rate 223/255 C2 code (8160/7136) - Near-Earth – High data-rates, small foot-print
 - Nine AR4JA codes: rates 1/2, 2/3, and 4/5, block lengths $k=1024, 4096$ and 16384 bits
for Deep-Space with Very low SNR
- *CCSDS 131.5-O-1 Erasure Correcting Codes IP Cores*
 - Packet-level encoding algorithms for near-erth and deep space communication
- *CCSDS 142.0-B-2 Optical On/Off Keying (OOK) IP Cores for optical links*
 - Rate 9/10 Accumulate-Repeat-Accumulate (ARA) LDPC code block length $k=27648$
 - Rate 1/2 Protograph-Based Raptor-Like (PBRL) LDPC code block length $k=15360$
 - Encoded data are directly transferred to ERMIS Optical Terminal modulator (Astrolight ATLAS-1)
 - **Flight heritage in 2026 (ERMIS mission)**

Όραμα του DSCAL: Κέντρο αριστείας για Διαστημικές Τεχνολογίες Αιχμής Made in GR



- Create an IP core portfolio of **state-of-the-art on-board data handling algorithms** implemented in space-grade and COTS FPGAs in accordance to Consultative Committee for Space Data Systems (CCSDS) recommended standards
- Provide GR & European space supply chain with products and services as **Center of Excellence** in On-Board Data Systems design